

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-288888

(43)Date of publication of application : 04.11.1997

(51)Int.Cl.

G11C 11/401

(21)Application number : 08-100122 (71)Applicant : MITSUBISHI ELECTRIC CORP

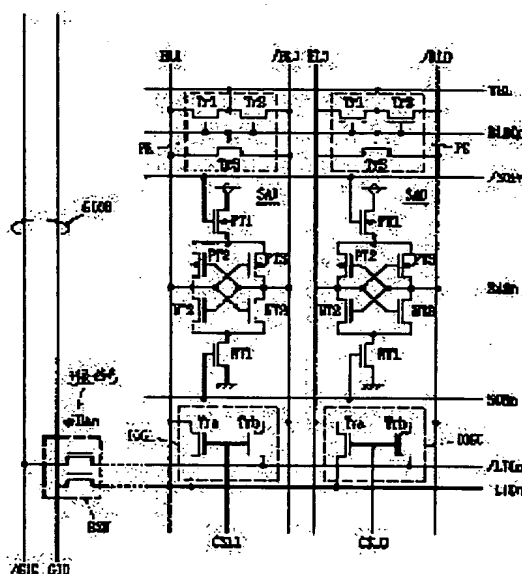
(22)Date of filing : 22.04.1996 (72)Inventor : WATANABE NAOYA  
DOSAKA KATSUMI

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To realize a main storage having a high page hit rate by using the semiconductor of a shared sense amplifier constitution.

SOLUTION: The connection control between global IO busses(GIOB) provided commonly with respective memory blocks arranged so as to share sense amplifier bands (SA#1 ~ SA#N) and performing the transferring of internal data and local IO buss lines (LION, the inverse of LION) respectively arranged according to memory blocks is created based on a signal ( $\phi$ ;CD) relating to a column selection operation. Then, respective memory blocks can be utilized as banks by driving the memory blocks independently and also the collision of data on the global IO busses is prevented even even in the case of performing an access to other memory blocks at the time of the activation of one memory block.



## LEGAL STATUS

[Date of request for examination] 26.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against]

- examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-288888

(43)公開日 平成9年(1997)11月4日

(51)Int.Cl.<sup>5</sup>

G 1 1 C 11/401

識別記号

庁内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 6 2 C

3 6 2 H

審査請求 未請求 請求項の数11 O L (全 27 頁)

(21)出願番号

特願平8-100122

(22)出願日

平成8年(1996)4月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 渡邊 直也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 堂阪 勝己

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

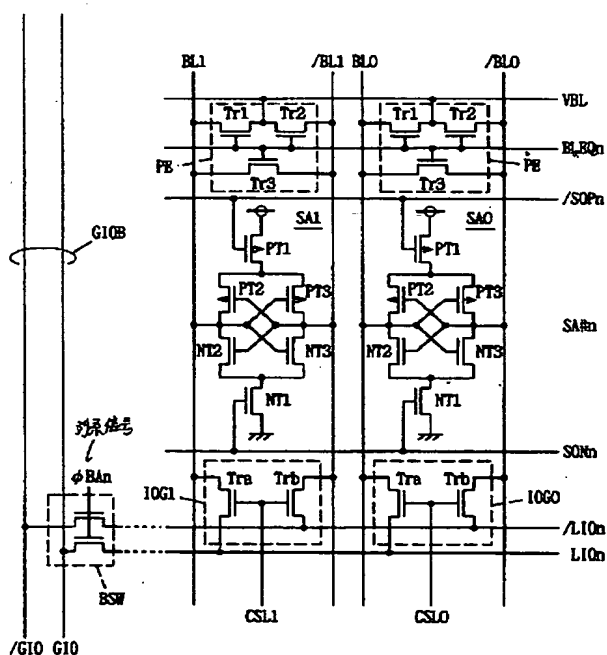
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 シェアードセンスアンプ構成の半導体記憶装置を用いてページヒット率の高い主記憶を実現する。

【解決手段】 センスアンプ帯 (SA#1~SA#N) を共有するように配置されるメモリブロック (MB#0~MB#N) それぞれに共通に設けられて内部データの伝達を行なうグローバルIOバス (GIOB) と、メモリブロックそれぞれに対応して配置されるローカルIOバス線 (LIO<sub>n</sub>, /LIO<sub>n</sub>) の接続制御を、列選択動作に関連する信号 (φCD) に基づいて作成する。メモリブロックをそれぞれ独立に駆動することにより、各メモリブロックをバンクとして利用することができ、また1つのメモリブロック活性時において他のメモリブロックへアクセスする場合においても、グローバルIOバス上でのデータの衝突は防止される。



## 【特許請求の範囲】

【請求項1】 各々が行列状に配列される複数のメモリセルを有する複数のメモリブロックを有するメモリアレイ、  
前記複数のメモリブロック各々に対応して設けられ、各々が対応のメモリブロックの選択列とデータの授受を行なうための複数のローカル入出力バス、  
前記複数のメモリブロックに共通に設けられるグローバル入出力バス、  
前記複数のメモリブロック各々に対応して設けられ、第1のバンクアドレスと動作モード指示信号とにตอบสนองして選択的にかつ互いに独立に活性化され、活性化時対応のメモリブロックの活性化を行なうためのバンク活性化手段、  
前記複数のローカル入出力バスの各々と前記グローバル入出力バスとの間に設けられ、活性化時対応のローカル入出力バスと前記グローバル入出力バスとを電気的に接続するための複数のバンク選択スイッチ、および列選択動作指示信号と前記列選択動作指示信号と同時に与えられるバンクアドレス信号とにตอบสนองして、前記同時に与えられるバンクアドレス信号が指定するメモリブロックに対応して設けられるローカル入出力バスのバンク選択スイッチを活性化するためのバンク選択制御手段を備える、半導体記憶装置。  
【請求項2】 各々が行列状に配列される複数のメモリセルを有しかつ列方向に沿って整理して配置される複数のメモリブロックを有するメモリアレイ、  
前記メモリアレイの隣接メモリブロックの間に設けられ、活性化時選択的に隣接メモリブロックのいずれかに接続されて対応のメモリブロックの列上のメモリセルデータの検知および増幅を行なうための複数のセンスアンプ帯と、  
前記メモリブロック各々と前記複数のセンスアンプ帯各々との間に設けられ、活性化時対応のメモリブロックの各列を対応のセンスアンプ帯へ接続するための複数のブロック分離／接続手段、  
前記メモリアレイのメモリブロックを指定するバンクアドレス信号に従って、アドレス指定されたメモリブロックとセンスアンプ帯を共有するメモリブロックに設けられたブロック分離／接続手段を非活性化するための分離／接続制御手段、  
前記複数のセンスアンプ帯各々に対応して設けられ、前記バンクアドレス信号とセンス活性化信号とにตอบสนองして前記アドレス指定されたメモリブロックに対して設けられたセンスアンプ帯を活性化するためのセンス活性制御手段を備え、  
前記センス活性制御手段は、  
(a) 最も最近センスアンプ帯を使用したメモリブロックを特定するバンクアドレスデータを記憶するための記憶手段と、

(b) 前記記憶手段が記憶するバンクアドレスデータと前記バンクアドレス信号の一致／不一致を判別するための判別手段とを含み、さらに前記判別手段が不一致を示すときアレイ駆動活性化信号の活性化にตอบสนองして対応のセンスアンプ帯を非活性化するための非活性化手段と、  
前記メモリブロック各々に対応して設けられ、前記バンクアドレス信号と、行を特定するためのロウアドレス信号と前記アレイ駆動活性化信号とにตอบสนองして、対応のメモリブロックの行を選択状態へ駆動しかつ前記センス活性化信号を活性化して対応のセンス活性制御手段へ与えるためのアレイ駆動手段を備え、  
前記アレイ駆動手段および前記ブロック分離／接続手段は前記非活性化手段の前記対応のセンスアンプ帯の非活性化にตอบสนองして対応のメモリブロックを非活性化状態へ駆動しかつ対応のメモリブロックと前記対応のセンスアンプ帯を分離する手段を含む、半導体記憶装置。  
【請求項3】 前記アレイ駆動手段の各々は、前記非活性化手段の前記対応のセンスアンプ帯の非活性化にตอบสนองして所定時間経過後前記アレイ駆動信号に従って前記アドレス指定されたメモリブロックを活性化状態へ駆動する手段を含む、請求項2記載の半導体記憶装置。  
【請求項4】 前記非活性化手段による対応のセンスアンプ帯の非活性化にตอบสนองして、所定時間、外部からの新たな動作モード指示信号の入力を禁止する信号を装置外部へ出力するための手段をさらに含む、請求項2または3に記載の半導体記憶装置。  
【請求項5】 読出動作指示信号とこの読出動作指示信号と同時に与えられるアドレス信号とに従って前記アドレス指定されたメモリブロックからメモリセルを選択し、前記対応のセンスアンプ帯により増幅されたデータを読出して装置外部へ出力するための読出／出力手段と、  
前記読出動作指示信号と前記非活性化手段による前記対応のセンスアンプ帯の非活性化にตอบสนองして前記読出／出力手段からの有効データの出力を示すデータ有効信号を装置外部へ出力するためのデータ有効信号出力手段をさらに備える、請求項2ないし4のいずれかに記載の半導体記憶装置。  
【請求項6】 行列状に配列される複数のメモリセルを有するメモリアレイと、  
アレイ活性化指示信号にตอบสนองして活性化され、第1のアドレス信号に従って前記メモリアレイの行を選択するための行選択手段と、  
読出動作指示信号に従って活性化され、活性化時第2のアドレス信号に従って前記メモリアレイの列を選択し、該選択された列上のメモリセルのデータを装置外部へ読出す読出手段、および前記読出動作指示信号にตอบสนองして、前記読出手段から装置外部へ読出されるデータが有効であることを示すデータ有効信号を装置外部へ出力するためのデータ有効信号出力手段を備える、半導体記憶

装置。

【請求項7】 前記データ有効信号出力手段は、前記データ有効信号を前記半導体記憶装置がスタンバイ状態のとき第1のレベルに保持し、かつ前記読出手段からの有効データの出力時前記第1のレベルと異なる第2のレベルにデータ有効信号を駆動する手段を含む、請求項5または6記載の半導体記憶装置。

【請求項8】 前記半導体記憶装置はクロック信号に同期して動作し、

前記データ有効信号出力手段は、前記データ読出／出力手段からの有効データの出力するクロックサイクルよりも前のクロックサイクルにおいて前記データ有効信号を活性状態とする手段を含む、請求項5または6に記載の半導体記憶装置。

【請求項9】 前記データ有効信号出力手段は、前記データ読出／出力手段からの有効データの出力期間の間前記データ有効信号を活性状態に保持する手段を含む、請求項5または6記載の半導体記憶装置。

【請求項10】 前記データ有効信号出力手段は、前記データ読出／出力手段からの前記有効データの出力の期間と独立に定められる一定のパルス幅を有するワンショットパルスの形態で前記データ有効信号を出力する手段を備える、請求項5または6記載の半導体記憶装置。

【請求項11】 前記半導体記憶装置は、エラー訂正用のパリティビットを格納する手段を含む、

前記読出／出力手段は、非活性化時データ出力ノードを第1のレベルに保持する手段を含む、

前記データ有効信号出力手段は、前記読出／出力手段と同時に活性化され、前記パリティビット格納手段から読出されたパリティビットを出力する手段を含む、かつ前記スタンバイ時該出力ノードを読出／出力手段から出力されるデータにおけるパリティエラーの存在を示すレベルに保持する手段を含む、請求項5または6記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特にクロック信号に同期してデータの入出力を行なうクロック同期型半導体記憶装置に関し、より特定的には、内部に複数のバンクを有するマルチバンク半導体記憶装置に関する。

【0002】

【従来の技術】近年マイクロプロセッサ(MPU)が多機能化され、大量のデータを高速で処理することができ、これに応じて、主記憶として用いられるダイナミック・ランダム・アクセス・メモリ(DRAMと以後称す)は、その微細技術の進展に伴って、記憶容量が増大している。しかしながら、DRAMの動作速度はMPUの動作速度に追従することができず、DRAMのアクセス時間およびサイクル時間がボトルネックとなって処理シ

ステム全体の性能を低下させるという問題が顕著になってきている。この処理システムの性能の低下を防止するために、DRAMとMPUとの間に通常スタティック・ランダム・アクセス・メモリ(SRAM)で構成されるキャッシュメモリと呼ばれる高速メモリを配置することが行なわれる。MPUが頻繁に使用するデータ／命令はこのキャッシュメモリに格納し、MPUとキャッシュメモリとの間でデータ／命令の転送を行なう。キャッシュメモリにMPUがアクセス要求した命令／データが存在しないときのみDRAMへアクセスする。MPUが必要とする命令／データは、高い確率で予めキャッシュメモリに格納されているため、DRAMのアクセス頻度は大幅に低下し、処理システムの動作速度の低下を防止することができる。

【0003】しかしながら、このキャッシュメモリに用いられるSRAMは、DRAMに比べて高価であるため、パーソナルコンピュータなどの比較的安価な装置にはこのキャッシュメモリを配置する構成は適していない。このため、安価なDRAMを用いて処理システムの性能を向上させることが求められている。これに対する1つの答えとして、DRAMをたとえばシステムクロックであるクロック信号に同期させて動作させ、データの転送をこのクロック信号に同期して行なう同期型DRAM(シンクロナスDRAM:以下SDRAMと称す)と言われるものが考案されている。

【0004】このSDRAMにおいては、クロック信号に同期してコマンドの形態(複数の制御信号の状態の組合せ)で動作モード指示信号が与えられる。SDRAMにおいて、このコマンドに従って同時に複数ビット(たとえば8ビット;110あたり)を同時に選択状態とし、クロック信号に同期してこれらの同時に選択状態とされた複数ビットを順次出力する。データ書込時においても、クロック信号に同期して与えられた書込データを順次取込み、同時に選択状態とされたメモリセルへ所定のシーケンスで書込む。

【0005】このSDRAMにおいては、クロック信号の立上がりエッジに同期してコマンドを構成する外部の制御信号、すなわち、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、ライトイネーブル信号/WE、ならびにアドレス信号および書込データを取込み、内部動作を実行する。クロック信号に同期して外部からのデータを取込み、またクロック信号に同期してデータを出力することにより、制御信号およびアドレス信号などのスキュー(タイミングのずれ)を考慮したデータ入出力のタイミングのマーヅンを確保する必要がなく、内部動作開始タイミングを速くすることができ、サイクルタイムを短縮することができ、高速アクセスが可能となる。

【0006】また、画像処理システムなどの処理システムにおいて、連続したデータアドレスのデータビットが

順次アクセスされ、また処理システムにおいては、その処理の局所性から連続したメモリ位置の複数ビットにアクセスする頻度が高い場合がある。このため、クロック信号に同期してデータの入出力を行なうことにより、連続アクセス時間をクロック信号のそれと同じとすることができ、平均アクセス時間をSRAMのそれに匹敵させることが可能となる。

【0007】SDRAMにおいては、さらに複数バンクという概念が導入されている。すなわち、SDRAMにおいては、内部に複数のバンクが設けられている。これらのバンクの活性化および非活性化（プリチャージ）などをほぼ互いに独立に行なうことができる。

【0008】標準のDRAMにおいては、新たな行を選択する場合には、必ずプリチャージ動作を行なう必要がある。DRAMはダイナミックに内部信号線が駆動されており、プリチャージ時各信号線を所定の電位レベルに保持する必要がある。このプリチャージには、通常RASプリチャージ時間 $t_{RP}$ と呼ばれる時間が必要とされる（各内部信号線を所定の電位レベルに復帰させる必要があるため）。また、標準DRAMにおいては、RAS-CAS遅延時間 $t_{RCD}$ と呼ばれる時間が必要とされる。すなわちロウアドレスストローブ信号/RASが与えられてメモリセルの行が確実に選択状態とされた後に、コラムアドレスストローブ信号/CASに従って列選択動作を行なう必要があるためである。またこのコラムアドレスストローブ信号/CASは、列選択動作完了時非活性状態に復帰させる必要がある。したがって、新たにページ（メモリセル行）を選択する場合には、RASプリチャージ時間 $t_{RP}$ およびRAS-CAS遅延時間 $t_{RCD}$ が必要とされ、このために、標準DRAMのサイクルタイムがアクセス時間のほぼ2倍となる。しかしながら、SDRAMのように、複数のバンクが設けられている場合、1つのバンクを活性状態としてこの活性状態とされたバンクにアクセスしている間に、別のバンクをプリチャージ状態（非活性状態）に復帰させておけば、この別のプリチャージ状態のバンクは、RASプリチャージ時間 $t_{RP}$ の待ち時間なしでアクセスすることができ、したがってこのバンクを交互または順次活性化／プリチャージ（非活性化）することにより、RASプリチャージ時間 $t_{RP}$ を見掛け上なくすることができ、高速アクセスが可能となる。また、一方のバンクのアクセス時において他方バンクのプリチャージおよび活性化を行なっておけば、これらのバンクに対し、交互にデータの書込／読出を行なうことができ、RASプリチャージ時間 $t_{RP}$ およびRAS-CAS遅延時間 $t_{RCD}$ によるロスタイムをなくすることが可能となり、高速でデータの書込／読出を行なうことができる。

【0009】

【発明が解決しようとする課題】上述の従来のSDRAMにおいては、メモリアレイ（メモリマット）を単位と

してバンクが構成される。このメモリアレイ（メモリマット）は、複数のメモリブロックを有しており、1つのメモリアレイにおいては、各メモリブロックは対応のメモリアレイの活性化時、選択状態または非活性状態へ駆動され、互いに独立に活性／非活性を行なうことができない。したがって従来のSRAMの場合、バンクの数はこのメモリアレイ（メモリマット）の数に限定されており、バンク数が少ない（通常4バンクが最大である）。これは、SDRAMにおいては、そのアレイ構造として、標準のDRAMのアレイ構造が利用されており、標準DRAMにおいて、ロウ／コラムデコーダは、各メモリアレイ（メモリマット）に対応して分割して配置されており、これらのロウ／コラムデコーダを各メモリアレイ（メモリマット）ごとに独立に駆動することが可能となるためである。

【0010】従来の複数のバンクを有するSDRAMを処理システムの主記憶として利用することを考える。SDRAMのすべてのバンクを同時に活性状態とし、各バンクにおいてメモリセルの行（ページ）を選択状態に保持する。すなわち、メモリセルの列それぞれに対応して設けられるセンスアンプを疑似キャッシュとして利用する。MPUが要求するデータ／命令がキャッシュメモリに格納されていないとき（キャッシュミス時）、MPUがアクセス要求するデータ／命令がSDRAMの選択ページに存在するか否かを判定する（ページヒット／ミス判定）。ページヒット時には対応のページへアクセスしてデータ／命令のブロック（キャッシュブロック）をキャッシュメモリへ転送しかつアクセス要求されたデータ／命令をMPUへ転送する（リードアクセスのとき）。したがって、ページヒット時においては、ページからデータ／命令のブロックを選択して読出すことが要求されるだけであり、CASアクセス時間 $t_a$ （CAS）（またはCASレイテンシー）時間経過後に必要とされるデータ／命令をキャッシュメモリおよびMPUへ転送することができる（リードアクセス時）。

【0011】一方、ページミスの場合、アクセス要求されたデータ／命令を格納するバンクを一端プリチャージ状態（非活性状態）へ駆動し、次いで必要とされるデータ／命令を格納するページを選択状態としてその後アクセス要求されたデータ／命令を含むブロックをキャッシュメモリへ転送する。したがって、ページミスが生じた場合、SDRAMにおいては、バンクのプリチャージ、バンクの活性化、および選択ページからの列の選択の動作が必要とされ、RASプリチャージ時間 $t_{RP}$ 、RAS-CAS遅延時間 $t_{RCD}$ 、CASアクセス時間 $t_a$ （CAS）（またはCASレイテンシー）の和の時間が経過した後必要とされるデータ／命令がSDRAMからキャッシュメモリへ転送される。この期間、MPUはウェイト状態とされる。

【0012】したがって、従来の複数バンクのSDRAM

Mの主記憶として用いた場合、バンクの数が小さいため、選択状態とされているページの数はいくつか（バンクの数と同じ）、ページヒット率が小さく、ページミス時のペナルティ（MPUのウェイト時間）が大きくなるという問題が生じた。

【0013】それゆえ、この発明の目的は、ページヒット率を高くすることのできる複数のバンクを有する新規な構成の半導体記憶装置を提供することである。

【0014】この発明の他の目的は、正確に必要とされるデータを入出力（書込／読出）を行なうことのできる複数のバンクを有する半導体記憶装置を提供することである。

【0015】この発明のさらに他の目的は、標準DRAMと同様のアレイ構造を用いて、複数のバンクを有する半導体記憶装置を提供することである。

【0016】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有する複数のメモリブロックを有するメモリアレイと、これら複数のメモリブロック各々に対応して設けられ、各々が対応のメモリブロックの選択列とデータの授受を行なうための複数のローカル入出力バスと、これら複数のメモリブロックに共通に設けられるグローバル入出力バスと、複数のメモリブロック各々に対応して設けられ、第1のバンクアドレスと動作モード指示信号とにตอบสนองして、選択的に活性化され、活性化時対応のメモリブロックの活性化を行なうバンク活性化手段と、複数のローカル入出力バスの各々とグローバル入出力バスとの間に設けられ、活性化時対応のローカル入出力バスとグローバル入出力バスとを電気的に接続するための複数のバンク選択スイッチと、列選択動作指示信号とこの列選択動作指示信号と同時に与えられるバンクアドレス信号とにตอบสนองして、この同時に与えられたバンクアドレス信号が指定するメモリブロックに対応して設けられたローカル入出力バスのバンク選択スイッチを活性化するためのバンク選択制御手段を備える。

【0017】請求項2に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有しかつ列方向に整列して配置される複数のメモリブロックを有するメモリアレイと、このメモリアレイの隣接メモリブロックの間に設けられ、活性化時対応のメモリブロックの列上のメモリセルのデータの検知および増幅を行なうための複数のセンスアンプ帯と、メモリブロック各々と複数のセンスアンプ帯各々との間に設けられ、活性化時対応のメモリブロックの各列を対応のセンスアンプ帯へ接続する複数のブロック分離／接続手段と、バンクアドレス信号に従ってアドレス指定されたメモリブロックとセンスアンプ帯を共有するメモリブロックに対して設けられたブロック分離／接続手段を非活性化する分離／接続制御手段と、複数のセンスアンプ帯各々に対応して設けら

れ、バンクアドレス信号とセンス活性化信号とにตอบสนองしてこのアドレス指定されたメモリブロックに対して設けられたセンスアンプ帯を活性化するためのセンス活性制御手段を備える。このセンス活性制御手段は、最も最近対応のセンスアンプ帯を使用したメモリブロックを特定するバンクアドレスデータを記憶する記憶手段と、この記憶手段に記憶されたバンクアドレスデータと与えられたバンクアドレスとの一致／不一致を判別する判別手段とを含む。

【0018】請求項3に係る半導体記憶装置は、さらに、この判別手段が不一致を示すときアレイ駆動活性化信号の活性化にตอบสนองして対応のセンスアンプ帯を非活性化する非活性化手段と、メモリブロック各々に対応して設けられ、バンクアドレス信号とロウアドレス信号とアレイ活性化信号とにตอบสนองして、対応のメモリブロックの行を選択状態へ駆動するとともにセンス活性化信号を活性化して対応のセンス活性制御手段へ与えるためのアレイ駆動手段を備える。

【0019】アレイ駆動手段およびブロック分離／接続手段は、非活性化手段の対応のセンスアンプ帯の非活性化にตอบสนองして対応のメモリブロックを非活性化状態へ駆動しかつ対応のメモリブロックを対応のセンスアンプ帯から分離する手段を備える。

【0020】請求項3に係る半導体記憶装置は、請求項2のアレイ駆動手段の各々が、非活性化手段の対応のセンスアンプ帯の非活性化にตอบสนองして所定時間経過後アレイ駆動信号に従ってアドレス指定されたメモリブロックを活性化状態へ駆動する手段を含む。

【0021】請求項4に係る半導体記憶装置は、請求項2または3の非活性化手段による対応のセンスアンプ帯の非活性化にตอบสนองして、所定時間装置外部からの動作モード指示信号の入力を禁止する信号を装置外部へ出力する手段をさらに含む。

【0022】請求項5に係る半導体記憶装置は、請求項2ないし4のいずれかの装置が、さらに、読出動作指示信号とアドレス信号とに従ってアドレス指定されたメモリブロックからメモリセルを選択し、対応のセンスアンプ帯により増幅されたデータを読出して装置外部へ出力する読出／出力手段と、この読出動作指示信号と非活性化手段による対応のセンスアンプ帯の非活性化にตอบสนองして読出／出力手段の有効データの出力を示すデータ有効信号を装置外部へ出力する手段を備える。

【0023】請求項6に係る半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリアレイと、アレイ活性化指示信号にตอบสนองして活性化され、第1のアドレス信号に従ってメモリアレイの行を選択するための行選択手段と、読出動作指示信号に従って活性化され、この読出動作指示信号と同時に与えられる第2のアドレス信号に従ってメモリアレイの列を選択し、該選択された列上のメモリセルのデータを装置外部へ読出す読

出手段と、この読出動作指示信号に応答してこの読出手段から読出されるデータが有効であることを示すデータ有効信号を装置外部へ出力するためのデータ有効信号出力手段を備える。

【0024】請求項7に係る半導体記憶装置は、請求項5または6のデータ有効信号出力手段は、このデータ有効信号を半導体記憶装置がスタンバイ状態のとき第1のレベルに保持し、この読出手段からの有効データの出力時このデータ有効信号を第1のレベルと異なる第2のレベルへ駆動する手段を含む。

【0025】請求項8に係る半導体記憶装置は、請求項5または6のデータ有効信号出力手段が、データ読出手段からの有効データの出力よりも前のクロックサイクルにおいてデータ有効信号を活性状態とする手段を含む。

【0026】請求項9に係る半導体記憶装置は、請求項5または6のデータ有効信号出力手段が、データ読出手段からの有効データの出力期間の間データ有効信号を活性状態に保持する手段を含む。

【0027】請求項10に係る半導体記憶装置は、請求項5または6のデータ有効信号出力手段が、有効データの出力の期間と独立に定められる一定のパルス幅を有するワンショットのパルスの形態でデータ有効信号を出力する手段を備える。

【0028】請求項11に係る半導体記憶装置は、請求項5または6の装置が、エラー訂正用のパリティビットを格納する手段を含み、この読出手段は、非活性化時第1のレベルにデータ出力ノードを駆動する手段を含み、またデータ有効信号出力手段は、この読出手段が出力データを受けるのと同時にパリティビットを受けて出力する手段を含み、かつこのパリティビット出力ノードを、スタンバイ時にはパリティエラーの存在を示すレベルに保持する手段を含む。

【0029】メモリアレイを複数のメモリブロックに分割し、各メモリブロックを個々に独立に駆動する構成とすることにより、バンク数を多くすることができ、応じてページヒット率を高くすることができる。

【0030】また、ローカル入出力バスとグローバル入出力バスとを、列選択に関連する信号に従って接続することにより、読出動作時においてのみローカル入出力バスとグローバル入出力バスとを接続することができ、複数バンクが同時に活性状態とされ、センスアンプが活性状態に保持されている場合においても、複数バンクのデータが同時にグローバル入出力バスへ伝送されるのを防止することができ、メモリブロックをバンクとして利用しても、正確にデータの読出を行なうことができる。

【0031】また、隣接メモリブロックがセンスアンプ帯を共有するシェアードセンスアンプ構成においても、活性状態のバンクの隣接バンクをアクセスする場合、この活性状態の隣接メモリブロックを非活性状態へ駆動することにより、センスアンプ帯におけるデータの衝突を

防止することができ、正確なデータの検知および増幅を行なうことができる。また内部で自動的に非活性状態とするため、外部の装置は、このセンスアンプ帯におけるデータの衝突を防止するための機構を含む必要がなく、外部の装置（メモリコントローラまたはプロセッサ）のメモリアクセスに対する制御の負荷が軽減される。

【0032】また、有効データ出力時に、この有効データが出力されることを示す信号を外部へ出力することにより、外部装置は、正確に有効データが出力されるタイミングを知ることができる。

【0033】また、センスアンプ帯に競合が生じた場合、外部へ、コマンド入力禁止信号を出力しているため、外部の装置は、これによりセンスアンプ帯競合を防止するための処置が半導体記憶装置内部で行なわれていることを知ることができ、この動作期間中に次のモード指示信号を与えることを確実に防止することができ、装置への誤ったアクセスを防止することができる。

【0034】

【発明の実施の形態】図1は、この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。図1において、半導体記憶装置は、各々が行および列のマトリクス状に配列される複数のメモリセルを有するメモリブロックMB#0～MB#Nと、これらのメモリブロックの間に配置されるセンスアンプ帯SA#1～SA#Nと、メモリブロックMB#0の外部に設けられるセンスアンプ帯SA#0と、メモリブロックMB#Nの外側に隣接して設けられるセンスアンプ帯SA#N+1を含む。センスアンプ帯の構成について後に詳細に説明するが、これらのセンスアンプ帯SA#1～SA#Nは、隣接メモリブロックにより共有される。選択メモリブロックが対応のセンスアンプ帯に接続され、この選択メモリブロックと対をなす非選択メモリブロックは対応のセンスアンプ帯から切離される。

【0035】メモリブロックMB#0～MB#Nそれぞれに対応して、各メモリブロックを活性／非活性状態とするためのアレイ駆動回路DR#0～DR#Nが設けられ、センスアンプ帯SA#0～SA#N+1それぞれに対応して、センスアンプ帯に含まれるセンスアンプの活性／非活性を制御するセンス／接続制御回路SID#0～SID#N+1が設けられる。アレイ駆動回路DR#0～DR#Nの各々は、活性化時、対応のメモリブロックの行選択動作に関連する制御信号の発生および行選択動作を行なうためのロウデコードおよびワード線ドライバを含む。これらのアレイ駆動回路DR#0～DR#Nはそれぞれ互いに独立に活性／非活性が行なわれるため、明確には示さないが、各々ロウアドレスラッチ回路などの信号ラッチ回路を備えている。

【0036】センス／接続制御回路SID#0～SID#N+1の各々は、対応のアレイ駆動回路から与えられるセンス活性化信号にตอบสนองして対応のセンスアンプ帯に



含まれるセンスアンプの活性化を行ない、また後に説明するように、メモリブロックとセンスアンプ帯との接続／分離制御およびローカルI/Oバス（各メモリブロックに設けられているデータ入出力バス）とグローバルI/Oバス（すべてのメモリブロックに共通に設けられるデータ入出力バス）との接続を制御する接続制御回路を含む。

【0037】半導体記憶装置は、さらに、クロック信号Pに同期して、装置外部から与えられるコマンドCMをラッチするコマンドラッチ2と、クロック信号Pに同期して外部から与えられるバンクアドレス信号をラッチするバンクアドレスラッチ4と、クロック信号Pに同期して外部から与えられるアドレス信号をラッチするアドレスラッチ6と、コマンドラッチ2でラッチされたコマンドをデコードするコマンドデコーダ8と、コマンドデコーダ8からの活性化信号にตอบสนองして起動され、バンクアドレスラッチ4によりラッチされたバンクアドレスBAをデコードし、アドレス指定されたメモリブロックを指定するバンク指定信号を発生するバンクデコーダ10を含む。

【0038】コマンドCMは、たとえば通常のロウアドレスストローブ信号／RAS、コラムアドレスストローブ信号／CASおよびライトイネーブル／WEのような個々の制御信号であってもよく、また複数の制御信号の状態の組合せて動作モードが指定されるものであってもよい。コマンドデコーダ8は、このコマンドをデコードすることにより、指定された動作モードを識別し、該識別した動作モードに従って必要とされる制御信号を発生する。コマンドデコーダ8の出力信号は内部制御バス13を介してアレイ駆動回路DR#0～DR#Nへ伝達され、バンクデコーダ10からのバンク指定信号は、バンク指定バス14を介してアレイ駆動回路DR#0～DR#Nおよびセンス／接続制御回路SID#0～SID#N+1へ与えられる。アドレスラッチ6によりラッチされた内部アドレス信号は内部アドレスバス15を介してアレイ駆動回路DR#0～DR#Nへ伝達される。

【0039】このコマンドデコーダ8は、アレイ駆動回路DR#0～DR#Nそれぞれに対応して設けられ、バンクデコーダ10の出力するバンク選択信号に従って各コマンドデコーダが選択的に活性状態とされる構成が用いられてもよい。

【0040】この図1に示す構成においては、メモリアレイ1に含まれるメモリブロックMB#0～MB#Nは、アレイ駆動回路DR#0～DR#Nに従って互いに独立に活性／非活性状態へ駆動される。したがってメモリブロックMB#0～MB#Nはそれぞれバンクとして利用することができる。すなわち1つのメモリブロックMB#iが活性状態にあるとき、別のメモリブロックMB#jを活性状態へ駆動することができ、また非活性状態（プリチャージ状態）へ駆動することができる。した

がってメモリブロックMB#0～MB#Nそれぞれにおいて、メモリセルの行（ワード線）を選択状態としておくことにより、従来のSDRAMの構成に比べてより多くのページを選択状態とすることができ、ページヒット率を改善することができる。

【0041】図2は、図1に示すアレイ駆動回路の構成を概略的に示す図である。図2においては、メモリブロックMB#i（i=0～N）に設けられたアレイ駆動回路DR#iの構成を示す。図2において、アレイ駆動回路DR#iは、コマンドデコーダから与えられるアレイ活性化指示信号ACT、アレイ非活性化指示信号PRGおよびバンク指定信号Ba iを受けて各種内部制御信号を発生するロウ系制御回路20と、ロウ系制御回路20からのアドレスラッチ指示信号RAL iにตอบสนองして図1に示すアドレスラッチ6から与えられる内部アドレス信号ADを取込みかつラッチして内部ロウアドレス信号を生成するロウラッチ22と、ロウ系制御回路20からのロウデコードイネーブル信号RDE iにตอบสนองして活性化され、ロウラッチ22から与えられた内部ロウアドレス信号をデコードしてメモリブロックの行を指定する信号を生成するロウデコーダ24と、ロウデコーダ24の出力信号とロウ系制御回路20から与えられるワード線駆動信号RXT iにตอบสนองしてアドレス指定された行に対応するワード線WLを選択状態へ駆動するワードドライバ26を含む。

【0042】メモリブロックMB#iは、メモリセルの行それぞれに対応して配置され、各々に対応の行のメモリセルMCが接続されるワード線WLと、メモリセルの各列に対応して配置され、各々に対応の列のメモリセルMCが接続されるビット線対BL、／BLを示す。図2においては、1本のワード線WLと1対のビット線BL、／BLを含む。このビット線BLおよび／BLには、ロウ系制御回路22から与えられるビット線イコライズ指示信号BLEQにตอบสนองしてビット線BLおよび／BLを所定電位（中間電位）にプリチャージしかつイコライズするビット線プリチャージ／イコライズ回路BPEが設けられる。次に、この図2に示すアレイ駆動回路の動作を図3に示すタイミングチャート図を参照して説明する。

【0043】時刻t0において、クロック信号Pに同期してアレイ活性化指示コマンド（以下、アクティブコマンドと称す）ACTが与えられる。このコマンドの確定状態は、クロック信号Pの立上がりエッジおよび立下りエッジのいずれであってもよい。このアクティブコマンドACTと同時にバンクアドレスBAおよびアドレスADが与えられる。このアクティブコマンドACTは、コマンドデコーダ8によりデコードされ、内部アレイ動作活性化指示信号φACTが活性状態とされる。一方、バンクデコーダがこのコマンドデコーダ8の制御のもとに活性化され、与えられたバンクアドレスをデコードし、

バンク指定信号  $Ba_i$  を選択状態へ駆動する。ロウ系制御回路20は、この内部アレイ活性化指示信号  $\phi ACT$  と選択状態の(活性状態の)のバンク指定信号  $Ba_i$  とに従って、まずロウアドレスラッチ指示信号  $RAL_i$  を活性状態とする。これにより、ロウラッチ22は、一旦スルー状態となつてからラッチ状態となり、内部アドレス信号を確定状態に保持する。次いでロウデコーダ24が、ロウ系制御回路20からのロウデコードイネーブル信号  $RDE_i$  に応答して活性状態とされて与えられた内部ロウアドレス信号をデコードする。一方、ロウ系制御回路20は、この内部アレイ活性化指示信号  $\phi ACT$  と選択状態のバンク指定信号  $Ba_i$  とに従って、それまで活性状態にあったビット線イコライズ指示信号  $BLEQ_i$  を非活性状態とし、ビット線プリチャージ/イコライズ回路BPEを非活性状態とする。これにより、ビット線BLおよび/BLは、中間電位のプリチャージ電位でフローティング状態とされる。

【0044】次いで、所定のタイミングでロウ系制御回路20からのワード線駆動信号  $RXT_i$  が活性され、ワードドライバ26が、ロウデコーダ24の出力するワード線選択信号(行指定信号)とこのワード線駆動信号  $RXT_i$  に従って選択ワード線WLを選択状態へ駆動する。これにより、メモリセルMCの記憶データがビット線BL(または/BL)に伝達され、ビット線BLおよび/BLにこのメモリセルMCが有する記憶情報に応じた電位差が生じる。次いで、後に説明するセンスアンプが活性状態とされ、このビット線BLおよび/BLの微小電位差を増幅する。

【0045】この状態において、次いで列選択動作が行なわれ、データの書込/読出が行なわれる。

【0046】時刻  $t_1$  において、アレイ非活性化指示コマンド(以下、プリチャージコマンドと称す)PRGがバンクアドレスBAとともに与えられる。コマンドデコーダ8が再びこのプリチャージコマンドをデコードし、内部アレイ非活性化指示信号  $\phi PRG$  を活性状態とする。バンクデコーダ10が、またコマンドデコーダの制御のもとに活性化され、バンクアドレス指定信号  $Ba_i$  が活性状態とされる。次に、ロウ系制御回路20が、ワード線駆動信号  $RXT_i$  を非活性状態とし(その前にセンスアンプを非活性状態としている)、次いでロウデコードイネーブル信号  $RDE_i$ 、およびロウアドレスラッチ指示信号  $RAL_i$  を非活性状態とする。ロウラッチ22はラッチ状態を維持する。またロウ系制御回路20は、ビット線イコライズ指示信号  $BLEQ_i$  を活性状態とし、ビット線BLおよび/BLは、ビット線プリチャージ/イコライズ回路BPEにより、中間電位にプリチャージされかつイコライズされる。

【0047】アレイ駆動回路DR#0~DR#Nを、それぞれバンク指定信号  $Ba_i$  に応じて選択的に活性化することにより、メモリブロックそれぞれを互いに独立に

駆動することができる。

【0048】図4は、図1に示すセンスアンプ帯の構成を概略的に示す図である。図4においては、メモリブロックMB#nに関連するセンスアンプ帯SA#nおよびSA#n+1を代表的に示す。メモリブロックMB#nは、複数のワード線  $WL_{n0} \sim WL_{nM}$  と、複数のビット線  $BL_{n1}, /BL_{n1}, BL_{n2}, /BL_{n2}, BL_{n3}, /BL_{n3}$  および  $BL_{n4}, /BL_{n4} \dots$  を含む。このビット線対は、交互に両側のセンスアンプ帯SA#nおよびSA#n+1に含まれるセンスアンプ回路に接続される。すなわち、ビット線対  $BL_{n1}, /BL_{n1}$  は、ビット線分離ゲートBTGn1を介してセンスアンプ帯SA#n+1のセンスアンプSAb1に接続され、ビット線  $BL_{n2}, /BL_{n2}$  は、ビット線分離ゲートBTGn2を介してセンスアンプ帯SA#nのセンスアンプ回路SAa1に接続される。ビット線  $BL_{n3}, /BL_{n3}$  は、ビット線分離ゲートBTGn3を介してセンスアンプ帯SA#n+1のセンスアンプ回路SAb2に接続される。ビット線  $BL_{n4}, /BL_{n4}$  は、ビット線分離ゲートBTGn4を介してセンスアンプ帯SA#nのセンスアンプ回路SAi2接続される。偶数番号のビット線分離ゲートBTGn2, BDTn4, ... は、ビット線分離制御信号  $BLI_{2n}$  によりその導通が制御される。奇数番号のビット線分離ゲートBTGn1, BTGn3, ... は、ビット線分離制御信号  $BLI_{2n+1}$  により、その導通/非導通が制御される。

【0049】メモリブロックMB#n-1の奇数番号のビット線  $BL_{a1}, /BL_{a1}, /BL_{a3}, /BL_{a3}$  は、ビット線分離ゲートBTGa1, BTGa3を介してセンスアンプ回路SAa1およびSAa2にそれぞれ接続される。このビット線分離ゲートBTGa1, BTGa3はビット線分離制御信号  $BLI_{2n-1}$  によりその導通/非導通が制御される。メモリブロックMB#n+1の偶数番号のビット線  $BL_{b2}, /BL_{b2}, BL_{b4}, /BL_{b4}$  は、ビット線分離ゲートBTGb2, BTGb4を介してセンスアンプ回路SAb1, SAb2に接続される。ビット線分離ゲートBTGb2, BTGb4, ... は、ビット線分離制御信号  $BLI_{2n+2}$  によりその導通/非導通が制御される。

【0050】このセンスアンプ帯を隣接する2つのメモリブロックで共有することにより、各メモリブロックに対しセンスアンプを設ける構成に比べて、センスアンプ帯の占有面積を低減することができる。また、メモリブロックMB#nのビット線対を交互に両側のセンスアンプ帯に接続することにより、センスアンプ帯のセンスアンプ回路のピッチが、ビット線対のピッチの2倍とされ、センスアンプを容易に配置することができる。

【0051】図5は、図4に示すセンスアンプ回路の具体的な構成を示す図である。図5においては、一方のセンスアンプ帯に含まれるセンスアンプ回路の構成を示す。

図5において、また、同じセンスアンプ帯に含まれるセンスアンプ回路に接続されるビット線対をビット線BL0、/BL0およびBL1、/BL1で示す。図5において、センスアンプ回路は、ビット線イコライズ指示信号BLEQnに応答して活性化され、対応のビット線対(BL0、/BL0またはBL1、/BL1)を所定の中間電位VBLにプリチャージしかつイコライズするプリチャージ/イコライズ回路PEと、センスアンプ活性化信号SONnおよび/SOPnに応答して活性化され、対応のビット線対(BL0、/BL0またはBL1、/BL1)の電位を差動的に増幅するセンスアンプSA(SA0またはSA1)と、コラムデコードから与えられる列選択信号CSL(CSL0またはCSL1)に응答して導通し、対応のビット線対(BL0、/BL0またはBL1、/BL1)をローカルIO線LIO n、/LIO nへ接続する列選択ゲートIOG(IOG0またはIOG1)を含む。列選択信号CSL(CSL0またはCSL1)を伝達する信号線は、すべてのメモリブロック上にわたって延在されるように配置される。また、図5においては、コラムデコードからの列選択信号に従って1つのビット線対のみが選択されてローカルIO線(ローカルIOバス)に接続される構成が示されている。しかしながら、複数ビット(複数対のビット線)が同時に選択状態とされて複数の対のローカルIO線に接続される構成が用いられてもよい。

【0052】ビット線プリチャージ/イコライズ回路PEは、ビット線イコライズ指示信号BLEQnに응答して導通し、所定の中間電位のプリチャージ電位VBLを対応のビット線へ伝達するnチャンネルMOSTランジスタTr1、Tr2と、ビット線イコライズ指示信号BLEQnに응答して導通し、対応のビット線を電氣的に短絡するnチャンネルMOSTランジスタTr3を含む。

【0053】センスアンプSA(SA0またはSA1)は、交差結合されて、対応のビット線対の高電位のビット線電位を電源電位レベルへ駆動するpチャンネルMOSTランジスタPT2およびPT3と、交差結合されて、対応のビット線対の低電位のビット線を接地電位レベルへ駆動するnチャンネルMOSTランジスタNT2およびNT3と、センスアンプ活性化信号/SOPnに응答して導通し、交差結合されたpチャンネルMOSTランジスタで構成されるセンスアンプ部分(Pセンスアンプ)を活性化するためのpチャンネルMOSTランジスタPT1と、センスアンプ活性化信号SONnに응答して導通し、交差結合されたnチャンネルMOSTランジスタNT2およびNT3で構成されるセンスアンプ(Nセンスアンプ)部分を活性化するためのnチャンネルMOSTランジスタNT1を含む。

【0054】列選択ゲートIOG(IOG0またはIOG1)は、列選択信号CSL(CSL0またはCSL1)に응答して導通し、対応のビット線BL、/BLを

ローカルIO線LIO nおよび/LIO nにそれぞれ接続するnチャンネルMOSTランジスタTraおよびTrbを含む。

【0055】このローカルIO線LIO nおよび/LIO nは、対応のメモリブロックに対してのみ設けられており、ワード線延在方向に沿って配置される。このローカルIO線LIO nおよび/LIO nは、バンク選択信号φBAに응答して導通するバンク選択スイッチBSWを介してグローバルIO線GIO、/GIOに接続される。このグローバルIO線GIO、/GIO(グローバルIOバスGIOB)は、すべてのメモリブロックMB#0~MB#Nに対して共通に設けられる。したがって、選択状態とされたメモリブロックに対して設けられたローカルIO線のみがグローバルIOバスGIOBに接続される。

【0056】図6は、バンク選択信号φBA(φBA n)を発生する部分の構成を示す図である。このバンク選択信号発生部は、図1に示すセンス/分離制御回路SID(SID#0~SID#N)に含まれる。図6において、バンク選択信号発生部30は、バンク指定信号Banおよび隣接バンク指定信号Bamを受けるORゲート32と、タイミング信号φCDとORゲート32の出力信号を受けるANDゲート34を含む。ANDゲート34からバンク選択信号φBANが出力される。バンク指定信号Bamは、このメモリブロックMB#nに隣接するメモリブロックを指定し、メモリブロックMB#n-1または、MB#n-1を指定する。

【0057】センスアンプ帯を共有するメモリブロックを指定するバンク指定信号の組がORゲート32へ与えられる。タイミング信号φCDは、データ書込動作またはデータ読出動作が指定されて列選択動作が行なわれるとき、この列選択動作開始指示信号に従って所定のタイミングでHレベルの活性状態とされる。

【0058】図7は、図6に示すタイミング信号φCD発生部の構成の一例を示す図である。図7において、コマンドデコード8aは、データ読出動作を指定するリードコマンドREADまたはデータ書込動作を指定するライトコマンドWRITEに従って所定期間タイミング信号φCDをHレベルとする。このタイミング信号φCDは、メモリブロックMB#0~MB#Nに共通に与えられる。このリードコマンドおよびライトコマンドは、ロウアドレスストローブ信号/RASおよびコラムアドレスストローブ信号/CASの組合せで与えられてもよい。

【0059】図8は、図5に示すビット線分離指示信号BLI2nおよびBLI2n-1を発生する部分の構成を示す図である。このビット線分離制御信号発生部は、図1に示すセンス/分離制御回路SID(SID#0~SID#N)に含まれる。図8においては、メモリブロックMB#nに対して設けられる分離信号発生部の構成

を示す。このセンス／分離制御回路はSID#nは、ビット線分離指示信号BLI2n-1を発生する分離タイミング発生回路38aと、ビット線分離指示信号BLI2nを発生する分離タイミング発生回路38bを含む。

【0060】分離タイミング発生回路38aは、バンク指定信号Banとアレイ活性化指示信号φACTを受けるAND回路40と、バンク指定信号Banとアレイ非活性化指示信号（プリチャージ指示信号）φPRGを受けるAND回路42と、AND回路40の出力信号をセット入力Sに受け、AND回路42の出力信号をリセット入力Rに受けるセット／リセットフリップフロップ44を含む。セット／リセットフリップフロップ44の補の出力/Qからビット線分離指示信号BLI2n-1が出力される。分離タイミング発生回路38bは、バンク指定信号Ban-1、アレイ活性化指示信号φACTおよびアレイ非活性化指示信号φPRGを受け、ビット線分離指示信号BLI2nを出力する。分離タイミング発生回路38aおよび38bは同じ構成を備える。

【0061】この図8に示す構成において、メモリブロックMB#nが選択状態とされると、ビット線分離指示信号BLI2n-1がLレベルとされる。一方、ビット線分離指示信号BLI2nはHレベルに維持される。選択メモリブロックMB#nは、センスアンプ帯SA#nに接続される。

【0062】スタンバイ状態においては、この分離タイミング発生回路38bから出力される分離指示信号BLI2n-1およびBLI2nはともにHレベルであり、センスアンプ帯SA#nを共有するメモリブロックMB#n-1およびMB#nはともにセンスアンプ帯SA#nに接続される。センスアンプ帯に含まれるビット線プリチャージ／イコライズ回路により、メモリブロックの各列が中間電位VBLにプリチャージされる。

【0063】〔実施の形態1〕図9は、この発明の実施の形態1に従う半導体記憶装置の動作を示す図である。図9において、アクティブコマンドは、クロック信号Pが立上がりるときにロウアドレスストロブ信号/RASがLレベルであり、コラムアドレスストロブ信号/CASがHレベルのときに与えられる。リード／ライトコマンドは、クロック信号Pの立上がりエッジにおいて、ロウアドレスストロブ信号/RASがHレベルにあり、かつコラムアドレスストロブ信号/CASがLレベルのときに与えられる。次に動作について説明する。

【0064】なお、図9に示す動作タイミング図においては、特定のメモリバンクは示していない。選択されたメモリバンクにおいて図9に示すように制御信号が変化する。

【0065】時刻T1においてアクティブコマンドが与えられる。これに応じて、時刻T2において、ビット線イコライズ指示信号BLEQがLレベルの非活性状態とされる。これにより、選択メモリブロックに対応して設

けられたセンスアンプ帯に含まれるビット線プリチャージ／イコライズ回路が非活性状態とされる。この各センスアンプ帯に与えられるビット線イコライズ指示信号は、センスアンプ帯を共有する2つのメモリブロックの一方が選択状態とされたときにそのイコライズ／プリチャージ動作が完了するように構成されればよく、センスアンプ帯を共有するメモリブロックに対するバンク指定信号の論理和をとることにより容易に生成することができる。

【0066】次に、時刻T3において、選択メモリブロックにおいて行選択動作が行なわれ、選択ワード線WLの電位が立上がる。

【0067】時刻T4において、センスアンプ活性化信号SONが活性状態とされ、選択メモリブロックに対応して設けられたセンスアンプ帯に含まれるnチャネルMOSTランジスタで構成されるセンスアンプ（Nセンスアンプ）が動作し、次いで時刻T5においてセンスアンプ活性化信号/SOPが活性状態のLレベルとされる。これにより、時刻T3における選択ワード線WLの電位の立上がりにより各ビット線BL、/BLに生じた微小電位が検知され増幅されかつラッチされる。ここで、図9において、選択メモリセルがLレベルのデータを保持している場合のビット線BL、/BLの電位変化が一例として示される。これらの一連の動作により、行選択系の動作が完了する。

【0068】時刻T6において、リード／ライトコマンドが与えられる。このリード／ライトコマンドに従って列選択動作が始まり、タイミング信号φCDが図7に示すコマンドデコード8aから出力され、応じて選択メモリブロックに対するバンク指定信号φBAが所定期間Hレベルとされる（図6参照）。これにより、選択メモリブロックに対し設けられたローカルIO線LIO、/LIOがグローバルIO線GIO、/GIOに接続される。この状態においては、グローバルIO線対およびローカルIO線対はともにプリチャージ状態を維持している。

【0069】時刻T7において、コラムデコード、がこのリード／ライトコマンドに従って起動され、与えられたアドレス信号をデコードし、列選択信号線CSLをHレベルに立上げる。これにより、選択メモリブロックにおけるメモリセルデータ（センスアンプによりラッチされている）がローカルIO線LIO、/LIOを介してグローバルIO線GIOおよび/GIO上に伝達される。このグローバルIO線GIO、/GIOに読出されたメモリセルデータは図示しないプリアンプおよび出力バッファを介して出力される。またライトコマンドが与えられた場合には、図示しないライトドライバにより、このグローバルIO線GIO、/GIO、ローカルIO線LIO、/LIOおよびセンスアンプ帯を介して選択メモリセルにデータが書込まれる。

【0070】ローカルIO線とグローバルIO線との接続を制御する信号を選択に関連する信号を用いることにより、複数のバンクが同時に選択状態とされている場合においても、グローバルIOバス上でのデータの衝突は生じない。ロウ系制御回路からの制御信号に従って、このローカルIO線とグローバルIO線とを接続する場合、メモリバンクが選択状態にあれば、ロウ系制御回路からの出力信号は活性状態にあり、したがってローカルIO線とグローバルIO線は接続状態にある。したがって、この場合には、1つのメモリブロックをデータがグローバルIO線上に読出されていることになる。この状態において、別のバンクへアクセスした場合、この新たにアクセスされたメモリバンクのデータが先に読出されているメモリブロックのデータと衝突し、正確なデータの読出を行なうことができなくなる。

【0071】しかしながら、この実施の形態1に従うように、列選択に関連する制御信号を用いてローカルIO線とグローバルIO線とを接続することにより、メモリバンクへのデータの書込/読出を行なうときのみローカルIO線LIO、/LIOとグローバルIO線GIO、/GIOとを接続することができ、複数のメモリバンクが同時に選択状態とされている場合においても、グローバルIO線上ではデータの衝突は生じず、正確なデータの読出を行なうことができる。

【0072】データの書込/読出が行なわれた後には、ローカルIO線およびグローバルIO線は、列選択動作完了時に所定電位にプリチャージ/イコライズされる。

【0073】また、コラムデコーダがメモリブロックMB#0~MB#Nに対して共通に設けられている場合、列選択信号CSLがすべてのメモリブロックに対して共通に与えられる。しかしながら、これらのメモリブロックのデータは、せいぜいローカルIO線LIO、/LIO上に伝達されるだけであり、グローバルIO線GIO、/GIOには伝達されないため、データの衝突は防止される。

【0074】以上のように、シェアードセンスアンプ構成のメモリアレイの各メモリブロックをバンクとして利用する構成において、各メモリブロックに対してのみ設けられるローカルIO線とメモリブロックに共通に設けられるグローバルIO線との接続を列選択動作に関連する制御信号を用いて生成するように構成しているため、複数のバンクが同時に選択状態とされている場合においても、グローバルIO線上でのデータの衝突は生じず、正確なデータの書込/読出を行なうことができる。

【0075】〔実施の形態2〕図10は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。図10においては、メモリブロックMB#n-1を駆動するためのアレイ駆動回路DR#n-1と、メモリブロックMB#nの活性/非活性化を行なうためのアレイ駆動回路DR#nと、これらのメモリブロックM

B#n-1およびMB#nの間に設けられるセンスアンプ帯SA#nを駆動するためのセンス/分離制御回路SID#nの部分を示す。このセンス/分離制御回路SID#nは、アレイ駆動回路DR#n-1およびDR#nの双方から与えられるセンスアンプ活性化信号に従ってセンスアンプ帯(SA#n)に対するセンスアンプ活性化信号SONnおよび/SOPnを出力するセンス駆動回路52を含む。

【0076】これらのアレイ駆動回路DR#n-1およびDR#nに対し、センスアンプ帯の競合を防止するためのプリチャージ制御回路50が設けられる。このプリチャージ制御回路50は、対応のセンスアンプ帯(SA#n)を使用するメモリブロック(バンク)を記憶する手段を含み、アレイ駆動回路DR#n-1およびDR#nから与えられるアレイ活性化指示信号ractn-1およびractnの一方の立上がりに対応して起動され、このバンク指定信号Ban-1またはBanと記憶したバンクアドレス情報との比較を行ない該比較結果を示す信号PRを出力する。この信号PRは、対応のセンスアンプ帯が活性状態にあり、このセンスアンプ帯が接続されているメモリブロックと異なるメモリブロックが新たに指定されたときに、活性状態とされる。アレイ駆動回路DR#n-1およびDR#nは、この信号PRの活性化に対応して、活性状態とされていたアレイをプリチャージ状態へ復帰させる。このプリチャージ状態復帰の後、新たにアドレス指定されたメモリブロックのアレイ活性化動作およびセンスアンプ帯とメモリブロックとの接続が行なわれる。

【0077】図11は、図10に示すアレイ駆動回路DR#nの構成を概略的に示す図である。アレイ駆動回路DR#n-1も同様の構成を備える。

【0078】アレイ駆動回路DR#nは、バンク指定信号Banとアレイ活性化指示信号φACTとアレイプリチャージ指示信号φPRGと信号PRとを受け、行選択動作活性化信号ractを出力する行選択活性化回路60と、この行選択動作活性化信号ractに対応して起動され、行選択に関連する回路を駆動する制御信号をRALn、RDEn、BLIn、およびBLEQを出力する行選択駆動回路62と、この行選択駆動回路62の出力信号に従って、所定のタイミングでワード線駆動タイミング信号RXTnを出力するRXT発生回路64と、ワード線駆動タイミング信号RAXTnの活性化に対応して所定期間経過後センスアンプ活性化信号SA#nおよびSApを出力するセンス活性化信号発生回路66を含む。このセンス活性化信号発生回路66から出力されるセンスアンプ活性化信号SA#nおよびSApが図10に示すセンス駆動回路52へ与えられる。センス駆動回路52は、アレイ駆動回路DR#n-1およびDR#nの一方から与えられるセンス活性化信号SA#nおよびSApに従ってセンスアンプ活性化信号SONnおよび/S

OPnを出力する。

【0079】図12は、図11に示す行選択活性化回路60の構成の一例を示す図である。図12において、行選択活性化回路60はバンク指定信号Banとアレイ活性化指示信号φACTを受けるAND回路70と、バンク指定信号Banとアレイプリチャージ指示信号φPRGを受けるAND回路72と、AND回路70の出力信号の立上がりに対応してセットされかつANDゲート72の出力信号の立上がりに対応してリセットされるセット／リセットフリップフロップ74と、セット／リセットフリップフロップ74の出力Qからの信号ractnと信号PRを受けるゲート回路76を含む。ゲート回路76は、信号PRがHレベルのときに、バッファとして動作し、フリップフロップ74から出力される信号ractnに従って行選択動作活性化信号ractを出力する。信号PRがHレベルとされると、ゲート回路76からのアレイ行選択動作開始指示信号ractはLレベルとされる。

【0080】この信号ractがLレベルに立下がると、メモリブロックMB#nが非活性状態とされるプリチャージ動作が行なわれる。したがって、図10に示すプリチャージ制御回路50がセンスアンプ帯の競合を示すときには、このセンスアンプ帯を使用している活性状態のメモリブロックがプリチャージ状態に駆動される。この活性状態のメモリブロックのプリチャージ状態への駆動の後、アドレス指定されたメモリブロックの活性化が行なわれる。

【0081】図13は、図10に示すプリチャージ制御回路50の構成の一例を示す図である。図13において、プリチャージ制御回路50は、行選択動作開始指示信号ractn-1の立上がりに対応して所定の期間Hレベルとされるワンショットのパルス信号を発生するワンショットパルス発生回路50aaと、信号ractnの立上がりに対応して所定の時間幅を有するワンショットのパルス信号を発生するワンショットパルス発生回路50abと、ワンショットパルス発生回路50aaおよび50abの出力信号を受けるOR回路50bと、バンク指定信号Ban-1を受けるインバータ50cと、バンク指定信号Banとインバータ50cの出力信号を受けるAND回路50dと、バンク指定信号Ban-1およびBanを受けるORゲート50eと、ORゲート50eの出力信号とOR回路50bの出力信号を受けるANDゲート50fと、ANDゲート50fの出力信号を受けるインバータ50gと、インバータ50gの出力信号がLレベルでありかつANDゲート50fの出力信号がHレベルのときに活性状態とされ、AND回路50dの出力信号を反転する3状態インバータバッファ50hと、3状態インバータバッファ50hの出力信号を所定時間遅延する遅延回路50iと、遅延回路50iの出力信号を反転しかつラッチするラッチ回路50jと、ラッチ回

路50jの出力信号を反転するインバータ50kと、インバータ50kの出力信号と3状態インバータバッファ50hの出力信号を受ける2入力EXOR回路50lと、行選択動作開始指示信号ractn-1およびractnおよびEXOR回路50lの出力信号を受ける3入力AND回路50mを含む。

【0082】AND回路50mから信号PRが出力される。次にこの図13に示すプリチャージ制御回路の動作について説明する。

【0083】メモリブロックMB#n-1またはMB#nが指定されると、ワンショットパルス発生回路50aaまたは50abからワンショットのパルスが発生され、OR回路50bの出力信号がHレベルとされる。このメモリブロックMB#n-1またはMB#nが指定されると、バンク指定信号Ban-1またはBanの一方がHレベルとなり、ORゲート50eの出力信号がHレベルとなる。これにより、3状態インバータバッファ50hが活性化されてAND回路50dの出力信号を反転する。バンク指定信号Ban-1がLレベルであり、バンク指定信号BanがHレベルのときに、AND回路50dの出力信号がHレベルとされる。逆に、バンク指定信号Ban-1がHレベルであり、バンク指定信号BanがLレベルのときには、AND回路50dはLレベルの信号を出力する。

【0084】したがって、最も新しくセンスアンプ帯を使用したメモリブロックが、メモリブロックMB#n-1のときには、ラッチ回路50jには、Lレベル（“0”）が格納され、応じてインバータ50kの出力信号はHレベル（“1”）であり、また最も新しくメモリブロックMB#nがセンスアンプ帯を使用しているときには、ラッチ回路50jには、Lレベルの信号がラッチされ、応じてインバータ50kの出力信号はHレベルとされる。3状態インバータバッファ50hがAND回路50dの出力信号を反転している。したがって、メモリブロックMB#nが指定されたときには、3状態インバータバッファ50hの出力信号がLレベルとなり、メモリブロックMB#n-1が指定されたときには、3状態インバータバッファ50hの出力信号はHレベルとなる。したがって、先にセンスアンプ帯を使用したメモリブロックと新たにセンスアンプ帯を使用するメモリブロックとが異なる場合には、EXOR回路50lの入力へ与えられる信号の論理が異なり、このEXOR回路50lの出力信号がHレベルとなる。一方、同じメモリブロックが連続してセンスアンプ帯を使用するときには、EXOR回路50lの出力信号はLレベルである。AND回路50mは、動作開始信号ractn-1およびractnを受けており、センスアンプ帯の競合が生じたことを検出している。したがって、たとえばメモリブロックMB#n-1がセンスアンプ帯を利用して、非活性状態とされた後に、メモリブロックMB#nが指定された

場合においては、確実にこの信号PRの発生を禁止することができる。

【0085】この信号PRに従って、内部の行選択駆動回路62に与えられる行選択動作活性化信号 $ract$ を遅延回路50iが有する遅延時間の間非活性状態に保持しておくことにより、共有されるセンスアンプ帯における競合を防止し、一方のメモリブロックをプリチャージ状態に復帰させた後に他方のメモリブロックを活性状態へ駆動することができる。この遅延回路50iの有する遅延時間はRASプリチャージ時間 $tRP$ 程度に定められればよい。

【0086】図14は、このプリチャージ制御回路の他の構成を示す図である。図14において、プリチャージ制御回路50は、行選択動作開始指示信号 $ractn$ および $ractn-1$ を受けるAND回路78と、AND回路78の出力信号を所定時間遅延する遅延回路79と、遅延回路79の出力信号とAND回路78の出力信号を受けるゲート回路80を含む。ゲート回路80は、遅延回路79の出力信号がLレベルであり、AND回路78の出力信号がHレベルのときにその出力信号PRをHレベルとする。

【0087】信号 $ractn$ および $ractn-1$ がともにHレベルとされる。これはセンスアンプ帯が競合していることを示している。したがって、このAND回路78の出力信号がHレベルに立上るときに信号PRをHレベルに立上げればセンスアンプ帯の競合を容易に検出することができる。遅延回路79の有する遅延時間は、RASプリチャージ時間 $tRP$ 程度である。これにより、図13に示す構成と同様、確実にセンスアンプ帯の競合を防止することができる。

【0088】図15は、この図11に示す行選択活性回路60の他の構成を示す図である。図15において、行選択活性回路60は、図12に示す構成に加えて、さらに、センスアンプ活性化信号 $SA_n$ とプリチャージ信号PRを受けるANDゲート77と、AND回路72および77の出力信号を受けるOR回路79を含む。このOR回路79の出力信号がセット/リセットフリップフロップ74のリセット入力Rへ与えられる。他の構成は、図12に示す構成と同じであり、対応部分には同一参照番号を付す。この図15に示す構成においては、センスアンプ活性化信号 $SA_n$ が活性状態のときに、信号PRがHレベルとされ、センスアンプ帯の競合を示すときには、OR回路79を介してフリップフロップ74がリセットされ、行選択動作活性化信号 $ract$ がLレベルとされる。したがって、先にセンスアンプ帯を使用している状態において、別のメモリブロックがアドレス指定されたとき、プリチャージ動作完了後再びこの先の非選択状態とされるべきメモリブロックが活性状態とされるのを防止することができる。

【0089】以上のように、この発明の実施の形態2に

従えば、センスアンプ帯を共有するメモリブロックが同時に選択状態とされるときには、これを検出して、先に選択状態とされているメモリブロックを非活性状態へ駆動するように構成しているため、センスアンプ帯におけるデータの競合が防止され、確実にデータの検知・増幅を行なうことができる。

【0090】[実施の形態3] 図16は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を示す図である。図16において、信号 $PR_0 \sim PR_n$ を受けるOR回路80と、OR回路80の出力信号の立上がりに応答して所定のパルス幅を有するワンショットのパルスを発生するワンショットパルス発生回路81とが設けられる。信号 $PR_0 \sim PR_n$ は、先の実施の形態2において示した各メモリブロックに対するプリチャージ制御回路からの出力信号PRに対応する。すなわち信号 $PR_0 \sim PR_n$ の何れかがHレベルに立上がると、半導体記憶装置内部において、センスアンプ帯のアクセス競合が生じたことを示しており、内部で競合メモリブロックのプリチャージ動作が実行される。このプリチャージ動作が行なわれる場合に、ワンショットパルス発生回路81から、コマンド入力禁止信号 $INH_T$ が出力されて装置外部へ出力される。このワンショットパルス発生回路81の有するパルス幅は、RASプリチャージ時間 $tRP$ およびRASアクセス期間 $tRAS$ である。RASアクセス期間は、メモリブロックにおいて、ワード線が選択状態へ駆動され、かつセンスアンプによる選択行のメモリのデータの検知増幅およびラッチが行なわれるまでに要する時間である。この期間装置外部へコマンド入力禁止信号 $INH_T$ を出力することにより、外部の装置は、センスアンプ帯の競合が生じたことを認識し、この間ウェイト状態とされる。

【0091】図16に示すように、センスアンプ帯の競合検出信号 $PR_0 \sim PR_n$ の活性化時に、装置外部へコマンド入力禁止信号 $INH_T$ を出力することにより、装置外部で、センスアンプ帯の競合が生じたことを知ることができ、先に与えたコマンドが完全に実行される前に別のコマンドを入力するのを防止することができ、アクティブコマンドを与えた後に、たとえばリードコマンドを与える場合、確実に正確に必要とされるデータを読み出すことができる。

【0092】[実施の形態4] 図17は、この発明の実施の形態4に従う半導体記憶装置の要部の構成を示す図である。この図17に示す構成においては、行選択に関連するコマンドとして、新たにアクティブリードコマンド $ACTR$ が用いられる。このアクティブリードコマンド $ACTR$ が与えられるとき、行選択動作および列選択動作が連続的に行なわれる。すなわち、アクティブリードコマンド $ACTR$ は、リードコマンド $READ$ とアクティブコマンド $ACT$ の組合せである。

【0093】図17において、ロウ系コマンドデコーダ

100は、アクティブコマンドACT、プリチャージコマンドPRGおよびアクティブリードコマンドACTRを受け、アレイ活性化指示信号φACT、プリチャージ動作指示信号φPRG、および読出動作活性化信号φACTRを出力する。アレイ活性化指示信号φACTはアクティブコマンドACTまたはアクティブリードコマンドACTRが与えられたときに活性状態とされる。アクティブリードコマンドφACTRは、アクティブリードコマンドACTRが与えられたときのみ活性状態とされる。

【0094】この内部信号φACTRは、遅延回路102を介して列選択制御系へ与えられる。遅延回路102は、たとえばクロック信号をカウントするカウンタで構成され、所定期間(RAS-CAS遅延時間に相当する時間)その信号φACTRを遅延して、内部読出動作指示信号φREADAを出力する。

【0095】列選択制御系は、リードコマンドREADおよびライトコマンドWRITEをデコードするコラム系コマンドデコーダ104と、コラム系コマンドデコーダからの内部読出動作指示信号φREADと遅延回路102からの信号φREADAを受けるOR回路105と、このOR回路105の出力信号φACTRおよびコラム系コマンドデコーダ104からの内部書込動作活性化信号φACTWを受けて、列選択動作に関連する制御信号を発生する列選択制御回路106を含む。

【0096】この列選択制御回路106は、列アドレスをラッチするためのタイミングを与える列アドレスラッチ指示信号CAL、コラムデコーダをイネーブルするコラムデコーダイネーブル信号CDE、プリアンプをイネーブルするプリアンパイネーブル信号PAE、書込回路を活性化するライトドライバイネーブル信号WDE、および出力バッファを活性化するための出力イネーブル信号OEを順次活性状態とする。プリアンパイネーブル信号PAEおよび出力バッファイネーブル信号OEは、内部書込動作活性化信号φACTRが活性状態とされたときに活性状態とされる。ライトドライバイネーブル信号WDEは、書込動作指示信号φACTWが活性状態とされたときに活性状態とされる。

【0097】この列選択制御系は、さらに、アレイ活性化指示信号φACTの立上がりに対応して、一定の時間ハイレベルとされる信号を出力するパルス発生回路106と、信号PRの立上がりおよび立下がりに対応してパルス信号を発生するパルス発生回路108と、パルス発生回路106および108の出力信号を受けるOR回路110を含む。パルス発生回路106の出力するパルス幅は、RAS-CAS遅延時間tRCDであり、遅延回路102の有する遅延時間とほぼ同じ活性時間を有する。パルス発生回路108の出力するパルス信号のパルス幅は、RASプリチャージ時間tRPとRAS-CAS遅延時間tRCDの和である。OR回路110の出力

信号はコラム系禁止信号CINTとして列選択制御回路106へ与えられる。列選択制御回路106は、このコラム禁止信号CINTがHレベルのときには、その動作が禁止される。

【0098】図18は、この発明に従う半導体記憶装置の列選択動作に関連する部分の構成を示す図である。図18において、コラムアドレスラッチ120は、コラムアドレスラッチ指示信号CALに従って、与えられたアドレスを取込んでラッチし、内部列アドレス信号を発生する。コラムデコーダ122は、コラムデコーダイネーブル信号CDEにตอบสนองして活性化され、コラムアドレスラッチ120から与えられた内部列アドレス信号をデコードし、該デコード結果に従って列選択信号CSLを出力する。

【0099】また実施の形態1において説明したように、ローカルIOバスLIOBとグローバルIOバスGIOBの接続は、列選択制御回路からの制御信号の制御の下に実行される。

【0100】データ入出力系は、プリアンパイネーブル信号PAEの活性化にตอบสนองして活性化され、グローバルIOバスGIOB上のデータを増幅するプリアンプ124と、出力バッファイネーブル信号OEにตอบสนองして活性化され、プリアンプ124により増幅されたデータをバッファ処理して出力データQを生成する出力バッファ126と、外部から与えられる書込データDをバッファ処理して内部書込データを生成する入力バッファ127と、ライトドライバイネーブル信号WDEの活性化にตอบสนองして入力バッファ127から与えられた内部書込データを増幅してグローバルIOバスGIOBへ伝達する書込ドライバ128を含む。

【0101】図19は、図17に示す列選択制御回路106の構成の一例を示す図である。図19において、列選択制御回路106は、内部読出動作指示信号φACTRと内部書込動作指示信号φACTWを受けるORゲート130aと、ORゲート130aの出力信号とコラム禁止信号CINTとを受けるゲート回路130bと、ゲート回路130bの出力信号の活性化にตอบสนองして、コラムアドレスラッチ指示信号CALおよびコラムデコーダイネーブル信号CDEを出力するデコード制御回路132と、内部読出動作指示信号φACTRとコラム禁止信号CINTを受けるゲート回路134と、ゲート回路134の出力信号の立上がりに対応してプリアンパイネーブル信号PAEおよび出力バッファイネーブル信号OEを所定期間それぞれ活性化する出力制御回路136と、内部書込動作指示信号φACTWとコラム禁止信号CINTを受けるゲート回路138と、ゲート回路138の出力信号の活性化にตอบสนองしてライトドライバイネーブル信号WDEを所定のタイミングで所定期間活性状態とする書込制御回路139を含む。

【0102】ゲート回路130b、134、および13



8は、コラム禁止信号CINTがHレベルのときにはディスエーブル状態とされてLレベルの信号を出力する。この内部読出動作指示信号φACTRおよび内部書込動作指示信号φACTWは、それぞれセット/リセットフリップフロップから生成されてもよい。これらのセット/リセットフリップフロップは、プリチャージ信号φPRGに応答してリセットされればよい。この図19に示すように、コラム禁止信号CINT(図17参照)の活性状態の間(Hレベルの間)、列選択制御回路106の動作は禁止されており、完全にセンスアンプ帯による検知増幅が行なわれる前の列選択動作およびデータの書込/読出動作は禁止される。

【0103】図20(A)は、図18に示す出力バッファ126の1ビットのデータに対する構成の一例を示す図である。図20(A)において、出力バッファ126は、プリアンプから読出された内部読出データintDを受けるインバータ140と、内部読出データintDと出力バッファイネーブル信号OEを受けるAND回路142と、出力バッファイネーブル信号OEとインバータ140の出力信号を受けるAND回路144と、AND回路142の出力信号がHレベルのときに導通し、電源電圧レベルの信号を読出データDout(Q)として出力するnチャネルMOSTランジスタ146と、AND回路144の出力信号がHレベルのときに導通し、接地電圧レベルの読出データDout(Q)を出力するnチャネルMOSTランジスタ148を含む。

【0104】出力バッファイネーブル信号OEがLレベルのときには、AND回路142および144はともにLレベルの出力信号を生成し、MOSTランジスタ146および148はともに非導通状態であり、読出データDoutは出力インピーダンス状態である。出力バッファイネーブル信号OEがHレベルとされると、AND回路142および144がバッファとして動作し、内部読出データintDに応じた読出データDoutが装置外部へ出力される。

【0105】図20(B)は、出力バッファイネーブル信号発生部の構成を示す図である。この出力バッファイネーブル信号発生部は、図17に示す列選択制御回路106に含まれる。図20(B)において出力バッファイネーブル信号発生部は、内部読出動作活性化信号φACTRとコラム禁止信号CINTを受けるゲート回路150と、ゲート回路150の出力信号の立上りに応答してカウントを行ない、所定期間経過後Hレベルとなる出力イネーブル信号OEを生成する出力レイテンシーカウンタ152を含む。この出力レイテンシーカウンタ152は、予め設定された、またはコマンドにより定められるバースト長期間、この出力バッファイネーブル信号OEをHレベルとする。

【0106】内部読出動作活性化信号φACTRは、図17に示すように、リードコマンドREADまたはアク

ティブリードコマンドACTRが与えられるとHレベルの活性状態とされる。センスアンプ競合検出信号PRはセンスアンプ帯の競合が生じたときには、所定期間(tRP)Hレベルとされる。この間、ゲート回路150の出力信号はLレベルである。なお、図17に示す列選択制御回路106は、コラム禁止信号CINTがLレベルとされてから内部動作を開始する。通常は、リードコマンドまたはライトコマンドが与えられるときには、このRAS-CAS遅延時間tRCDが経過した後に与えられる。また、アクティブコマンドが続いて与えられる場合においても、RASプリチャージ期間が経過した後に与えられる。したがって通常動作時においては、内部読出動作活性化信号φACTRの活性化およびコラム禁止信号CINTの非活性化に従って、出力レイテンシーカウンタ152はカウント動作を開始する(この場合、センスアンプ帯競合検出信号PRはLレベルである)。一方、センスアンプ帯の競合が生じている場合には、出力レイテンシーカウンタ152は、このセンスアンプ帯の競合が完了した後にコラム禁止信号CINTが非活性化されてからカウント動作を開始する。ここで、内部読出動作指示信号φACTRは、読出動作期間中Hレベルに保持されることを想定している。したがって出力バッファイネーブル信号OEは、この半導体記憶装置から正確に読出データが出力されるタイミングを与える。

【0107】図21は、この発明の実施の形態4において用いられる有効データ信号出力部の構成を示す図である。この有効データ信号出力部は、センスアンプ帯競合が生じた場合、または通常動作モードにおいて、確実に、外部の装置(プロセッサ)が要求したデータが出力されたことを示す。

【0108】図21において、有効データ信号出力部は、図17に示す読出動作指示信号φREADの活性化に応答してカウント動作を開始する出力レイテンシーカウンタ154と、アクティブリードコマンド検出信号φACTrの活性化に応答してカウント動作を開始する出力レイテンシーカウンタ156と、出力レイテンシーカウンタ154および156の出力信号を受けるOR回路158と、出力バッファイネーブル信号OEを受けるインバータ160と、インバータ160の出力信号とOR回路158の出力信号を受けるAND回路162と、AND回路162の出力信号がHレベルのときに導通し、データ有効信号/DVを電源電圧レベルのHレベルに駆動するnチャネルMOSTランジスタ164と、出力バッファイネーブル信号OEがHレベルのときに導通し、データ有効信号/DVを接地電位レベルに放電するnチャネルMOSTランジスタ166を含む。出力レイテンシーカウンタ154は、図20(B)に示す出力レイテンシーカウンタ152と同じレイテンシー期間をカウントする。一方、出力レイテンシーカウンタ156は、この出力レイテンシーカウンタ162および154の有す

るレイテンシー期間と図17に示す遅延回路102の有する遅延期間の和のレイテンシー期間をカウントする。OR回路158からは、リードコマンドまたはアクティブリードコマンドが与えられてから有効データが出力される、予め定められたレイテンシー期間に従った信号COが出力される。したがって、センスアンプ帯の競合が生じたときには、すなわちアクティブリードコマンドが与えられたときには、予め定められたレイテンシー経過後、信号COがHレベルとされても、有効データが出力されない場合が生じる。そこで、このデータ有効信号/DVを用いることにより、正確に装置外部の処理装置（プロセサ）に対し、要求したデータが出力されることを示す。

【0109】図22は、図20および図21に示す出力バッファおよびデータ有効信号出力部の動作を示すタイミングチャート図である。以下、この図22を参照して、データ有効信号の出力シーケンスについて説明する。ここで図22においては、アクティブリードコマンドACTRが与えられたときの動作が示される。

【0110】時刻t1において、バンクBA0（メモリブロックMB#0）に対しアクティブリードコマンドACTRが与えられる。このアクティブリードコマンドACTRに従って、バンクアドレスBA0が指定するメモリブロックMB#0に対するアクセス動作が行なわれる。このアクティブリードコマンドに従って、内部アクティブリード指示信号φACTRが活性状態とされ、図21に示す出力レイテンシーカウンタ165がカウント動作を開始し、所定期間経過後、OR回路158からの信号COがHレベルとされる。センスアンプ帯に競合が生じていない場合においては、信号PRはLレベルであり、信号CINTもLレベルであり、したがって図20(B)に示す出力レイテンシーカウンタ152も内部読出動作指示信号φACTRに従ってカウント動作を行ない、所定期間経過後出力バッファイネーブル信号OEを出力する。

【0111】この出力レイテンシーカウンタ156の有するレイテンシー期間は、出力レイテンシーカウンタ152の有するレイテンシー期間と図17に示す遅延回路102の有する遅延期間と同じである。したがって、ほぼ同じ期間に信号COおよびOEがHレベルとされる。信号COおよびOEがともにLレベルのときには、図21に示すMOSTランジスタ164および166はともに非導通状態であり、データ有効信号/DVは、ハイインピーダンス状態にある。出力バッファイネーブル信号OEがHレベルとなると、図21に示すMOSTランジスタ166が導通し、一方、MOSTランジスタ164は非導通状態にあり、データ有効信号/DVが、接地電位レベルのLレベルに駆動される。これにより、装置外部の処理装置は、有効データが出力されることを知る。この出力バッファイネーブル信号OEは、通常「バース

ト長」と呼ばれる期間Hレベルとされ、この期間、データがクロック信号Pに同期して順次出力される。このアクティブリードコマンドACTRは、プリチャージ動作は指示していない。したがってメモリブロックMB#0は活性状態にある。この状態において、時刻t2において、バンクアドレスBA1に従ってアクティブリードコマンドACTRが与えられる。ただし、ここで時刻t1およびt2の間の時間は、CASレイテンシーおよびバースト長を考慮して読出データの衝突が生じない期間に設定されていると想定する。したがってバンクアドレスBA0で指定されたメモリブロックMB#0から、順次必要とされるデータが読出され、指定のバースト長期間経過後、信号COおよびOEがLレベルとなり、出力データDoutおよびデータ有効信号/DVはともにハイインピーダンス状態となる。

【0112】時刻t2において、メモリブロックMB#0の活性状態において、バンクアドレスBA1に従ってアクティブリードコマンドACTRを与える。このバンクアドレスBA1は、センスアンプ帯SA#1をメモリブロックMB#0と共有するメモリブロックMB#1を指定する。この状態においては、先に説明したように、メモリブロックMB#0のプリチャージが実行される。このバンクアドレスBA0が指定するメモリブロックMB#0のプリチャージ完了後、バンクアドレスBA1が指定するメモリブロックの活性化が行なわれる。装置外部においては、このセンスアンプ帯の競合が生じていることは認識されず（図16に示す期間コマンド入力禁止信号により知ることとはできる）、予め定められたレイテンシー経過後に有効データが出力されるかどうか判別できない。

【0113】この場合、アクティブリードコマンドに従って、図21に示す出力レイテンシーカウンタ156の出力信号がHレベルとなり、応じて信号COが所定期間経過後Hレベルとなる。しかしながら、この期間において、センスアンプ競合検出信号PRが所定期間Hレベルとされているため、コラム禁止信号CINTを介して出力レイテンシーカウンタ152からの出力バッファイネーブル信号OEは、Lレベルを維持する。この状態においては、図21に示すように、MOSTランジスタ166が非導通状態であり、一方MOSTランジスタ164が、信号COの立上がりに対応して導通し、データ有効信号/DVがHレベルとされる。したがってこのデータ有効信号/DVがHレベルにあることを外部のプロセサがモニタし、センスアンプ帯の競合により、有効データが出力されていないことを認識する（プリチャージウェイト状態）。

【0114】バンクアドレスアドレスBA0が指定するメモリブロックMB#0のプリチャージが完了し、バンクアドレスBA1が指定するメモリブロックMB#1の活性化および列選択動作が行なわれると、図20(B)

に示す出力レイテンシーカウンタ152からの出力バッファイネーブル信号OEがHレベルとなり、時刻t4において、有効データが出力される。この出力バッファイネーブル信号OEがHレベルとなると、図21に示すMOSTランジスタ166が導通し、データ有効信号/DVがLレベルとされる。したがって時刻t4から、有効データが出力されることを、このデータ有効信号/DVをモニタすることにより、記憶装置の外部のプロセサは認識することができる。これにより、センスアンプ帯の競合が生じた場合においても、記憶装置外部の処理装置は、正確に必要とされるデータを取込むことができる。

【0115】リードコマンドが与えられるときにはこのようなセンスアンプ帯の競合は生じない。この場合においては、図20(B)に示す出力レイテンシーカウンタ152および図21に示す出力レイテンシーカウンタ154が、ほぼ同じタイミングで動作するため、出力バッファイネーブル信号OEおよび信号COはほぼ同じタイミングでHレベルの活性状態とされる。したがってリードコマンドを与えた場合においても、正確に有効データが出力されたことを認識することができる。

【0116】なお、上述の実施の形態4においては、データ有効信号/DVが、プロセサが要求するデータ（期待データ）が出力されているときにはLレベルされ、センスアンプ帯の競合によるプリチャージウェイト状態時においてはHレベルとされているが、逆に、プリチャージウェイト状態においては、信号/DVがLレベルとされ、期待データ出力期間中信号/DVがHレベルとされてもよい。有効データ信号/DVは、スタンバイ状態時（レイテンシーで示されるデータ出力期間時と実際のデータ出力期間時以外の期間）はハイインピーダンス状態であり、このハイインピーダンス状態は、データの有効/無効は示さない。

【0117】以上のように、この発明の実施の形態4に従えば、データ有効信号出力部を設けたため、外部の装置は、半導体記憶装置内において、センスアンプ帯の競合が生じた場合においても、正確に必要とされるデータを取込むことができる。

【0118】〔実施の形態5〕図23は、この発明の実施の形態5に従う半導体記憶装置のデータ有効信号出力部の構成を示す図である。図23においては、出力レイテンシーカウンタ152aは、出力バッファイネーブル信号OEよりも1ないし2クロックサイクル期間速いタイミングでデータ有効イネーブル信号OEFを出力する。このデータ有効信号イネーブル信号OEFがインバータ160およびMOSTランジスタ166へ与えられる。他の構成は、図21に示す構成と同じである。

【0119】図24は、図23に示すデータ有効信号出力部の動作を示すタイミングチャート図である。時刻t1において、バンクアドレスBAおよびアクティブリードコマンドACTRが与えられる。この場合、通常動作

時であり、センスアンプ帯の競合は生じていない。この状態においては、時刻t3から、出力バッファイネーブル信号OEに従って有効データが出力される。この出力バッファイネーブル信号OEよりも1クロックサイクル速いタイミングでデータ有効イネーブル信号OEFが活性状態とされ、応じてデータ有効信号/DVがLレベルとされる。バースト長期間が経過すると、時刻t4において、データ有効信号/DVがハイインピーダンス状態とされる。次の時刻t5においても、有効データが出力される。外部のプロセサは、バースト長により読出すべきデータ数を検出しており、したがって有効データ信号/DVが活性状態とされると、次のクロックサイクルから有効データを取込むことができる。したがって、有効データが出力されることが信号/DVにより知らされてから1クロックサイクル経過後に、有効データを取込むことができ、データを取込む時間的マージンを取ることができ、確実に有効データを外部の装置が取込むことができる。

【0120】時刻t4において、アクティブリードコマンドACTRおよびバンクアドレスBA1が与えられると、センスアンプ帯の競合が生じており、バンクアドレスBA0が指定するメモリブロックMB#0の非活性化が行なわれる。この場合、有効データが出力される期間において、出力すべきデータはまだ準備されていないため、信号OEがLレベルのままであり（出力レイテンシーカウンタ152aはカウントアップ動作を完了していない）、有効データ信号/DVはMOSTランジスタ164により、Hレベルへ駆動される。これにより、外部の装置は、センスアンプ帯の競合により、バンクのプリチャージが行なわれていることを認識し、ウェイト状態を維持する。

【0121】競合バンクのプリチャージが完了し、アクセスされるべきバンクが選択状態とされ、必要とされるデータの読出しが行なわれると、まず時刻t6において、イネーブル信号OEFがHレベルとされ、有効データ信号/DVがLレベルとされる。次いで時刻t7から始まるクロックサイクルにおいて、有効データが順次出力される。

【0122】このように、1または複数サイクル前に、データ有効信号/DVをLレベルの活性状態とすることにより、外部の装置は余裕を持って有効データを確実に取込むことができる。

【0123】図25は、図23に示す出力レイテンシーカウンタ152aの構成を概略的に示す図である。図25において、出力レイテンシーカウンタ152aは、図20(B)に示すゲート回路150から与えられる信号に応答して起動され、クロック信号Pをカウントするカウント回路152aaと、カウント回路152aaからのカウントアップ信号cu aに従って起動されてクロック信号Pをカウントし、そのカウント値が所定の値に到

達するまで出力バッファイネーブル信号OEをHレベルに保持するカウント回路152abと、カウント回路152aaからのカウントアップ信号cufに応答して起動され、クロック信号Pをカウントし、そのカウント値が所定値に到達するまでイネーブル信号OEFをHレベルに駆動するカウント回路152acを含む。

【0124】カウント回路152aaのカウントするクロックサイクル数は、出力レイテンシー数であり、カウント回路152abおよび152acがカウントするクロックサイクル数はバースト長で規定されるクロックサイクル数である。したがってカウント回路152abおよび152acは、カウント回路152aaからのカウントアップ指示信号に従ってバースト長で規定されるクロックサイクル期間信号OEおよびOEFをそれぞれHレベルへ駆動する。このカウント回路152aaから出力されるカウントアップ信号cufが、出力レイテンシー経過後活性状態とされるカウントアップ信号cuaよりも速いタイミング(クロックサイクル)で活性状態とされればよい。

【0125】以上のように、この発明の実施の形態5に従えば、有効データが出力されるクロックサイクルよりも前のサイクルでデータ有効信号を活性状態としているため、外部装置は、余裕を持って有効データを取込むことができる。

【0126】[実施の形態6]図26は、この発明の実施の形態6に従う有効データ出力部の構成を概略的に示す図である。図26に示す構成においては、図21に示すゲート158からの信号COに従ってワンショットのパルスCOPを発生するワンショットパルス発生器155と、出力レイテンシーカウンタ152からの出力バッファイネーブル信号OEに従ってワンショットのパルスOEPを発生するワンショットパルス発生器159が設けられる。ワンショットパルス発生器155および159は同じ構成を備える。図26において、ワンショットパルス発生器159の構成を代表的に示す。

【0127】ワンショットパルス発生器159は、出力バッファイネーブル信号OEに従って所定の時間幅を有するパルス信号を発生するパルス発生回路160と、パルス発生回路160の立上がりに対応してセットされ、クロック信号Pの立下がりに対応してリセットされるセット/リセットフリップフロップ162を含む。このフリップフロップ162の出力Qからパルス信号OEPが出力される。パルス信号COPはAND回路162の一方入力へ与えられ、このAND回路162は他方入力にインバータ160を介してパルス信号OEPを受ける。パルス信号OEPはまたMOSTランジスタ166のゲートへ与えられる。MOSTランジスタ164は、AND回路162の出力信号を受ける。

【0128】図27は、図26に示す有効データ信号出力部の動作を示すタイミングチャート図である。この図

27に示す動作シーケンスにおいても、時刻t1においてアクティブリードコマンドACTRとバンクアドレスBA0が与えられた場合には通常のアクセスが行なわれ、時刻t2においてバンクアドレスBA1とアクティブリードコマンドACTRが与えられたときにセンスアンプ帯の競合が生じたとする。この場合、時刻t1において与えられたコマンドACTRに従って、メモリバンク(メモリブロック)の活性化およびメモリの選択が行なわれ、時刻taにおいて、パルス信号COPおよびOEPがHレベルに立上がる。この状態においては、MOSTランジスタ66が導通し、データ有効信号/DVがLレベルに立下がる。

【0129】一方、時刻t2において与えられたアクティブリードコマンドの場合には、センスアンプ帯の競合が生じており、バンクアドレスBA0で指定されるメモリブロックのプリチャージが行なわれる。この場合においては、時刻t3において、ワンショットパルス発生器155からのパルス信号COPがHレベルとされる。一方、パルス信号OEPはLレベルであり、AND回路162の出力信号がHレベルとされ、MOSTランジスタ164が導通し、データ有効信号/DVがHレベルとなる。

【0130】時刻t4において、このアクティブリードコマンドACTRおよびバンクアドレスBAに従ってアクセス動作が行なわれ、有効データが出力される場合、パルス信号OEPがHレベルとなり、MOSTランジスタ166が導通状態となり、データ有効信号/DVがLレベルとなる。

【0131】この図27に示すように、データ有効信号/DVをワンショットパルスの形態で出力しても、データ有効信号はHレベル、Lレベルおよびハイインピーダンス状態のいずれかであり、データの有効/無効およびスタンバイ状態を示すことができる。外部装置は、バースト長データにより、読出されるべきデータ数は予め認識している。

【0132】なお図26に示す構成においては、データ有効信号/DVは、有効データが出力されるクロックサイクルにおいてワンショットパルスの形態でLレベルとされている。この場合、パルス信号OEPは、有効データが出力されるクロックサイクルよりも前のサイクルにおいて活性状態とされてもよい。パルス信号COPも同様、このパルス信号OEPと同じクロックサイクルで発生されるように構成される。予め定められたレイテンシー数経過後よりも1クロックサイクル前に、データ有効信号/DVがHレベルとなる。したがって、データの有効/無効は、常にデータを取込む1ないし数クロックサイクル前に認識することができるため、データ有効時および無効時の判定タイミングは同じとすることができ、外部装置の負荷は軽減される。

【0133】[実施の形態7]図28は、この発明の実

施の形態7に従うデータ有効信号出力シーケンスを示すタイミングチャート図である。この図28に示すタイミングチャートでは、データ有効信号/DVはスタンバイ状態時にHレベルとされ、有効データが出力されるときにLレベルとされる。なお動作シーケンスは先の実施の形態において説明したものと同一である。すなわち、データ有効信号/DVは、有効データが出力されないときにはHレベルとされる。一方、時刻 $t_1$ において与えられたアクティブリードコマンドACTRに従って時刻 $t_2$ において有効データが出力されるとき、このデータ有効信号/DVはLレベルとされる。時刻 $t_2$ において再びアクティブリードコマンドACTRが与えられ、有効データが時刻 $t_4$ から出力され、予め定められた出力レイテンシーから時刻 $t_3$ において有効データが出力されない場合においては、データ有効信号/DVは時刻 $t_3$ のときHレベルに保持され、時刻 $t_4$ からの有効データ出力時にLレベルとされる。

【0134】データ有効信号/DVをHレベルおよびLレベルの2値状態とすることにより、たとえばGTL（ガニングトランシーバロジック）のような高速インタフェースを用いた処理システムにおいても本構成を適用することができる。

【0135】図29は、図28に示すデータ有効信号/DVを生成する有効データ信号出力部の構成を示す図である。図29において、有効データ信号出力部は、出力バッファイネーブル信号OEに応答して導通し、出力ノード171をLレベルに駆動するnチャネルMOSトランジスタ172を含む。この出力ノード171は信号線173を介してプロセサPUに結合される。この信号線173には、プルアップ抵抗Ruが接続される。プロセサPUは、その入力バッファ部に、基準電圧Vrefと信号線173上の電位を比較する、入力信号レベル判定のための比較器を備えている。スタンバイ状態時には、すなわち有効データが出力されないときには、出力バッファイネーブル信号OEはLレベルであり、MOSトランジスタ172はオフ状態にある。この状態においては、信号線173は、プルアップ抵抗RuによりHレベルに駆動される。一方、有効データが出力される場合、出力バッファイネーブル信号OEがHレベルとなり、MOSトランジスタ172が導通し、信号線173がLレベルへ駆動される。これにより、2値信号の形態でデータ有効信号/DVは出力することができる。

【0136】図30は、この発明の実施の形態7の変例の構成を示す図である。図30において、データ有効信号出力部は、出力バッファイネーブル信号OEを反転するインバータ174と、インバータ174の出力信号がLレベルのときに導通し、出力ノード171を電源電圧レベルへ駆動するpチャネルMOSトランジスタ175を含む。出力ノード171は信号線173を介してプロセサPUに結合される。この信号線173には、プル

ダウン抵抗Rdが設けられる。プロセサPUの入力バッファは、基準電圧Vrefとこの信号線173上の電位とを比較して入力信号の論理レベルを判定する。

【0137】スタンバイ状態時、および有効データが出力されないときには、出力バッファイネーブル信号OEはLレベルであり、インバータ174の出力信号はHレベルである。したがってMOSトランジスタ175が非導通状態であり、ノード171および信号線173はプルダウン抵抗Rdにより接地電位レベルのLレベルに駆動される。一方、有効データが出力される場合、出力バッファイネーブル信号OEがHレベルとなり、応じてインバータ174からの出力信号がLレベルとなり、MOSトランジスタ175が導通する。これにより、信号線173上に伝達されるデータ有効信号DVがHレベルとされる。したがってこの図30に示す構成においては、スタンバイ状態時がLレベル、有効データ出力時がHレベルとなるデータ有効信号DVが生成され、この2値レベルにより、有効データが出力されているか否かを知ることができる。

【0138】なお、この図29および図30に示す構成においても、有効データが出力されるよりも前のクロックサイクルにおいてデータ有効信号が有効データ出力指示状態に決定されるように構成されてもよい。また、これらのMOSトランジスタ172および175は、ワンショットパルスの形態で、信号線173をLレベルまたはHレベルへ駆動するように構成されてもよい。

【0139】以上のように、この発明の実施の形態7に従えば、2値レベルのデータ有効信号を出力するように構成したため、高速インタフェースを用いる処理システムにおいても、正確に有効データが出力される時点を外部装置のプロセサに知らせることができ、外部装置は、正確に有効データを取込むことができる。

【0140】〔実施の形態8〕図31は、この発明の実施の形態8に従うデータ出力部の構成を示す図である。図31においては、データ出力部は、選択メモリブロックから読出される9ビットのデータを並列に増幅する読出増幅回路180と、この読出増幅回路180から読出された内部読出データiD0～iD7およびiD8を出力バッファイネーブル信号OEに従って出力する出力回路182を含む。この内部読出データiD8はパリティビットである。したがって、外部へは、有効データD0～D7とパリティビットD8とが並列に出力される。

【0141】図32は、出力回路180に含まれる1ビットデータに対する出力バッファの構成を示す図である。図32において、出力バッファは、内部読出データiDjを受けるインバータ183と、インバータ183の出力信号と出力バッファイネーブル信号OEを受けるAND回路184と、AND回路184の出力信号に応答して、出力ノード185を接地電位レベルへ駆動するnチャネルMOSトランジスタ186を含む。このノー

ド185へ読出データD<sub>j</sub>が出力され、プロセサへ与えられる。この出力ノード185はプルアップ抵抗R<sub>u</sub>に結合される。パリティビットは、正常状態時においては、データD<sub>0</sub>～D<sub>8</sub>のHレベルのビットの数が偶数であるように定められるとする。スタンバイ状態においては、出力バッファイネーブル信号OEがLレベルであり、MOSTランジスタ186は非導通状態であり、出力ノード185は、プルアップ抵抗R<sub>u</sub>によりHレベルとされる。したがって、データD<sub>0</sub>～D<sub>7</sub>およびパリティビットD<sub>8</sub>はすべてHレベルとなり、Hレベルのデータビットの数は奇数個である。この数をプロセサが監視することにより、パリティエラー状態であり、有効データは出力されていないと判定する。有効データが出力される場合には、データD<sub>0</sub>～D<sub>8</sub>は、内部読出データに従ってHレベルまたはLレベルへ変化する。この状態においては、パリティエラーは生じていないため、プロセサは有効データが出力されていると判定する。

【0142】図33は、この発明の実施の形態8に従うデータ読出シーケンスを示すタイミングチャート図である。以下、図33を参照してデータ出力シーケンスについて説明する。時刻t<sub>1</sub>において、アクティブリードコマンドACTRが与えられ、バンクアドレスBA0が与えられた場合、時刻t<sub>a</sub>において有効データが出力されるまで、データD<sub>0</sub>～D<sub>7</sub>およびパリティビットD<sub>8</sub>はすべてHレベルである。この状態は、プロセサが、パリティエラー状態であり、有効データは出力されていないと判定する。時刻t<sub>a</sub>において、出力バッファイネーブル信号OEが活性状態とされ、有効データが出力されると、このデータD<sub>0</sub>～D<sub>8</sub>はそれぞれ内部読出データiD<sub>0</sub>～iD<sub>8</sub>に従って変化する。したがってこの状態において、パリティは正確に定められており、プロセサは、有効データが出力されたと判定する。ただし、スタンバイ状態時すなわち有効データが出力されないときには、データD<sub>0</sub>～8がすべてパリティエラー状態を示す状態に設定され、有効データが出力される場合にはこのパリティエラーが解除される。すなわち、時刻t<sub>2</sub>において、バンクアドレスBA1とアクティブリードコマンドACTRが与えられて、時刻t<sub>3</sub>においては有効データが出力されない場合、データD<sub>0</sub>～D<sub>8</sub>はすべてHレベルであり、パリティエラー状態である。したがってプロセサはこの状態では、データの取込みは行なわない。時刻t<sub>4</sub>において有効データが出力されると、パリティエラーが解除され（内部読出データは正常データである）、プロセサは、有効データが出力されたと判定し、データの取込みを開始する。

【0143】図34は、この発明の実施の形態8の変更例の構成を示す図である。図34において、出力回路182に含まれる1ビットの出力バッファの構成を示す。図34において、出力バッファは、内部読出データiD<sub>j</sub>と出力バッファイネーブル信号OEを受けるNAND

回路190と、NAND回路190の出力信号がLレベルのときに導通し、出力ノード185へHレベルの信号を出力するpチャネルMOSTランジスタ192を含む。出力ノード185にはプルダウン抵抗R<sub>d</sub>が設けられる。この図30に示す構成においては、有効データが出力されないとき、すなわち出力バッファイネーブル信号OEがLレベルのときには、NAND回路190の出力信号がHレベルであり、MOSTランジスタ192は非導通状態にあり、出力ノード185はLレベルに駆動される。一方、出力バッファイネーブル信号OEがHレベルとされ、有効データが出力される場合には、NAND回路190はインバータとして作用し、内部読出データiD<sub>j</sub>がLレベルのときには、MOSTランジスタ192が非導通状態とされ、LレベルのデータがD<sub>j</sub>が出力され、一方、内部読出データiD<sub>j</sub>がHレベルのときにはNAND回路190の出力信号がLレベルとなり、MOSTランジスタ192が導通し、出力ノード185からのデータD<sub>j</sub>はHレベルとされる。

【0144】この図30に示す構成においては、データ出力ノード185は、スタンバイ状態時（有効データが出力されないとき）には、Lレベルに駆動され、有効データ出力時には、内部読出データに応じた電位レベルに駆動される。したがって、データ9ビットD<sub>0</sub>～D<sub>8</sub>のうち、奇数個のLレベルのデータビットが存在する場合にパリティエラーと判定する場合、スタンバイ状態時（有効データが出力されないとき）においては、データビットD<sub>0</sub>～D<sub>8</sub>はすべてLレベルであり、Lレベルのデータの数も奇数個でありパリティエラー状態である。この状態をプロセサがモニタすることにより、有効データは出力されていないことを判定する。

【0145】この発明の実施の形態8において、用いられる処理システムにおけるパリティエラーの判定手法に応じて図32および図34に示す構成のいずれかを用いればよい。

【0146】この発明の実施の形態8に従えば、パリティビットを含む場合には、これらのデータビットすべてを、スタンバイ状態時（有効データが出力されないとき）に、パリティエラーが存在する状態に保持しているため、余分の有効／無効指示回路を用いる必要がなく、またデータ出力ノード（端子）の増加をもたらすことなく確実に有効データが出力されるタイミングを外部装置であるプロセサに知らせることができる。

【0147】〔他の適用例〕上述の説明において、クロック同期型の半導体記憶装置について説明しておりまたマルチバンク型のDRAMについて説明している。しかしながら、有効データが出力される状態を外部装置へ知らせる構成は、標準のDRAMにおいても用いることができる。出力バッファイネーブル信号OEを装置外部へ出力する構成とすればよい。

【0148】

【発明の効果】以上のように、この発明に従えば、複数のバンクがセンスアンプを共有する構成の半導体記憶装置においても、ローカル入出力バスと、グローバル入出力バスとの接続を選択系の制御信号に従って制御するように構成しているため、内部読出データ線上に複数バンクのデータが同時に読出されることがなく、正確に必要とされるデータの書込／読出を行なうことができる。

【0149】また、センスアンプ帯の競合時においても、相手方メモリブロック（バンク）を非活性状態とし、その後対応のメモリブロックを活性状態へ駆動しているため、センスアンプ帯におけるデータの衝突を防止することができ、正確なデータの検知増幅を行なうことができる。

【0150】また、内部の自動プリチャージ動作により、データ出力時刻が、予め定められている出力レイテンシーから変化した場合においても、データ有効信号を出力するかまたはパリティビットを用いて有効データ出力タイミングを知らせるように構成しているため、外部装置であるプロセッサは容易に有効データを出力されたことを認識することができ、センスアンプ帯競合の場合においても、確実に外部装置であるプロセッサは必要とするデータを取込むことができる。

【0151】すなわち、請求項1の発明に従えば、メモリブロックに対応して設けられるローカル入出力バスとメモリブロックに共通に設けられるグローバル入出力バスとの接続を列選択動作指示信号に基づいて作成される制御信号により行なっているため、複数のメモリブロックが同時にグローバル入出力バスに接続されるのを防止することができ、誤ったデータの書込／読出および記憶データの破壊を防止することができる。

【0152】請求項2に係る発明に従えば、センスアンプ活性化時においては、センスアンプ帯を使用するメモリブロックと新たにセンスアンプ帯を使用するメモリブロックとのアドレスを比較し、不一致の場合には、先にセンスアンプ帯を使用しているメモリブロックを非活性状態へ駆動しているため、センスアンプ帯の競合を防止することができ、メモリセルデータの破壊が防止される。

【0153】請求項3に係る発明に従えば、センスアンプ帯競合時、メモリブロックの非活性化の後アドレス指定されたメモリブロックを活性状態へ駆動しているため、外部装置は、センスアンプ帯競合時においても、何ら余分の操作を必要とされず、記憶装置内部で正確にアドレス指定されたメモリブロックを選択状態へ駆動することができる請求項4に係る発明に従えば、センスアンプ帯競合時においては、装置外部へコマンドの入力を禁止する信号を出力しているため、外部の装置は、センスアンプ帯の競合が発生していることを容易に知ることができ、またセンスアンプ帯競合時において、誤って次のコマンドを入力することが防止され、センスアンプ帯競

合による誤ったデータの書込／読出または内部動作が生じるのを防止することができ、システム性能の低下が防止される。

【0154】請求項5に係る発明に従えば、有効データが出力されるときには、装置外部へ有効データが出力されたことを示す信号を出力しているため、外部装置は、確実に有効データを取込むことができる。

【0155】請求項6に係る発明に従えば、有効データ出力時には、外部の装置へ、有効データが出力されることを示す信号を出力しているため、外部装置は、確実に有効データを取込むことができる。

【0156】請求項7に係る発明に従えば、この有効データが出力されることを示す信号は、スタンバイ状態時と異なるレベルに信号を出力しているため、2値レベルの入出力インタフェースを有する高速処理システムにおいても確実に有効データ出力を示すことができる。

【0157】請求項8に係る発明に従えば、有効データが出力されるクロックサイクルよりも前のサイクルにおいて有効データが出力されることを示す信号を活性状態としているため、外部の装置は、余裕を持って有効データを取込むことができる請求項9に係る発明に従えば、有効データが出力されている間有効データ出力指示信号は、活性状態とされているため、外部装置は、確実に有効データを取込むことができる。

【0158】請求項10に係る発明に従えば、有効データが出力されていることを示す信号は、ワンショットのパルス形態で出力されており、クロック信号に同期してこのワンショットパルスを発生することにより、外部装置は、確実に有効データが出力されることを認識することができる。

【0159】請求項11に係る発明に従えば、パリティビットを利用し、スタンバイ状態時（有効データが出力されないとき）においては、データ出力ノードをすべてパリティエラーが存在する状態に設定するように構成しているため、余分の出力ピン端子（出力ノード）および回路を用いることなく確実に有効データが出力されていることを外部装置に認識させることができる

#### 【図面の簡単な説明】

【図1】 この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 図1に示すアレイ駆動回路の構成を概略的に示す図である。

【図3】 図2に示すアレイ駆動回路の動作を示すタイミングチャート図である。

【図4】 図1に示すメモリブロックとセンスアンプ帯の構成を概略的に示す図である。

【図5】 図4に示すセンスアンプ帯の構成をより具体的に示す図である。

【図6】 図5に示すローカルI/OバスとグローバルI/Oバスとの接続を行なうための制御回路の構成を概略的

に示す図である。

【図7】 図6に示す制御信号を発生する部分の構成を概略的に示す図である。

【図8】 図5に示すビット線分離信号発生部の構成を概略的に示す図である。

【図9】 この発明の実施の形態1に従う半導体記憶装置の動作を示すタイミングチャート図である。

【図10】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図11】 図10に示すアレイ駆動回路の構成を概略的に示す図である。

【図12】 図11に示す行選択活性回路の構成を概略的に示す図である。

【図13】 図11に示すセンス駆動回路の構成を概略的に示す図である。

【図14】 この発明の実施の形態2の変更例の構成を概略的に示す図である。

【図15】 この発明の実施の形態2における行選択活性回路の変更例の構成を概略的に示す図である。

【図16】 この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図17】 この発明の実施の形態4に従う半導体記憶装置の列選択部の構成を概略的に示す図である。

【図18】 この発明に従う半導体記憶装置のデータ入出力部の構成を概略的に示す図である。

【図19】 図17に示す列選択制御回路の構成を概略的に示す図である。

【図20】 (A)は図18に示す出力バッファの構成を示し、(B)は図19に示す出力制御回路の構成を概略的に示す図である。

【図21】 この発明の実施の形態4に従うデータ記憶装置の要部の構成を概略的に示す図である。

【図22】 図20および図21に示す回路の動作を示すタイミングチャート図である。

【図23】 この発明の実施の形態5の有効データ信号出力部の構成を示す図である。

【図24】 図23に示す回路の動作を示すタイミングチャート図である。

【図25】 この発明の実施の形態5に従うデータ有効信号出力部の他の構成を概略的に示す図である。

【図26】 この発明の実施の形態6に従うデータ有効信号出力部の構成を概略的に示す図である。

【図27】 図26に示すデータ有効信号出力部の動作

を示すタイミングチャート図である。

【図28】 この発明の実施の形態7に従うデータ有効信号出力部の動作を示すタイミングチャート図である。

【図29】 図28に示す動作タイミングを実現するデータ有効信号出力部の構成を概略的に示す図である。

【図30】 この発明に従うデータ有効信号出力部の変更例の構成を概略的に示す図である。

【図31】 この発明の実施の形態8に従うデータ有効信号出力部の構成を概略的に示す図である。

【図32】 図31に示す出力回路の1ビットの部分の構成を示す図である。

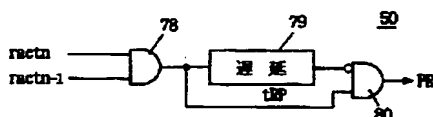
【図33】 図31および図32に示す出力回路の動作を示すタイミングチャート図である。

【図34】 この発明の実施の形態8の変更例の構成を示す図である。

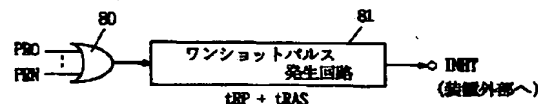
#### 【符号の説明】

1 メモリアレイ、SA#0～SA#L+1 センスアンプ、MB#0～MB#N メモリブロック、DR#0～DR#N アレイ駆動回路、SID#0～SID#N+1 センス/分離制御回路、8 コマンドデコーダ、10 バンクデコーダ、20 ロウ系制御回路、22 ロウラッチ、21 ロウデコーダ、26 ワードドライバ、SAa1, SAa2, SAb1, SAb2 センスアンプ回路、SA1, SA0 センスアンプ、PE ビット線プリチャージ/イコライズ回路、LIOp, /LIO n ローカルIO(入出力)バス、GIO, /GIO グローバル入出力(IO)バス線、GIB グローバルIOバス、BSWメモリブロック選択ゲート、30 メモリブロック選択制御回路、38a, 38b 分離タイミング発生回路、50 プリチャージ制御回路、52 センス駆動回路、60 行選択活性回路、62 行選択駆動回路、64 RXT発生回路、66 センス活性化信号発生回路、50j ラッチ回路、100 ロウ系コマンドデコーダ、102 遅延回路、104 コラム系コマンドデコーダ、105 OR回路、106 列選択制御回路、126 出力バッファ、136 出力制御回路、152, 154, 156, 152a, 152, 154, 156 出力レイテンシーカウンタ、164, 166 nチャネルMOSTランジスタ、172 nチャネルMOSTランジスタ、175 pチャネルMOSTランジスタ、186 nチャネルMOSTランジスタ、192 pチャネルMOSTランジスタ。

【図14】

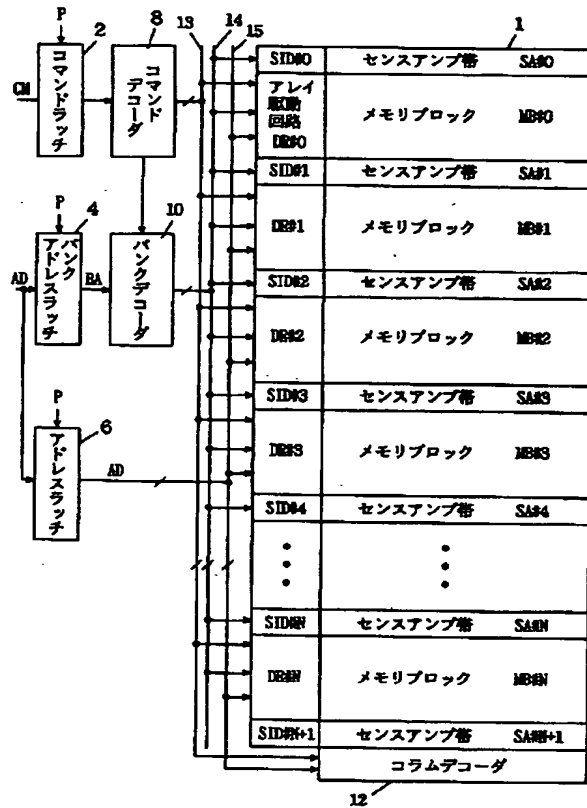


【図16】

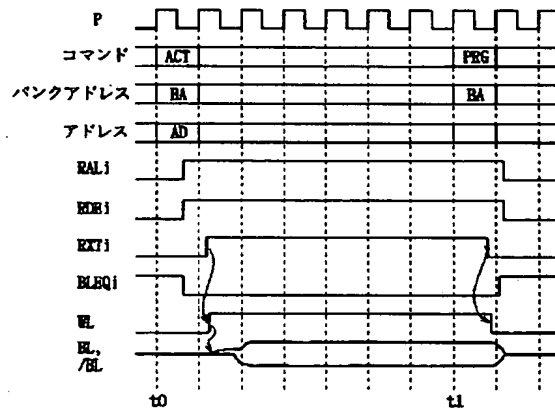




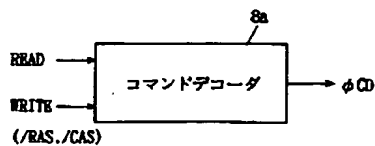
【図1】



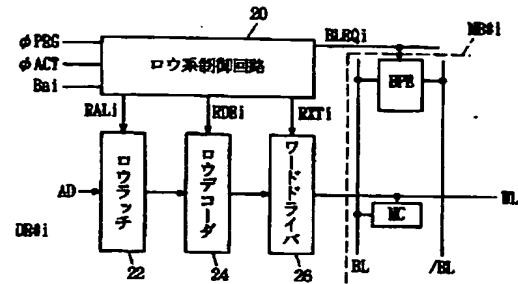
【図3】



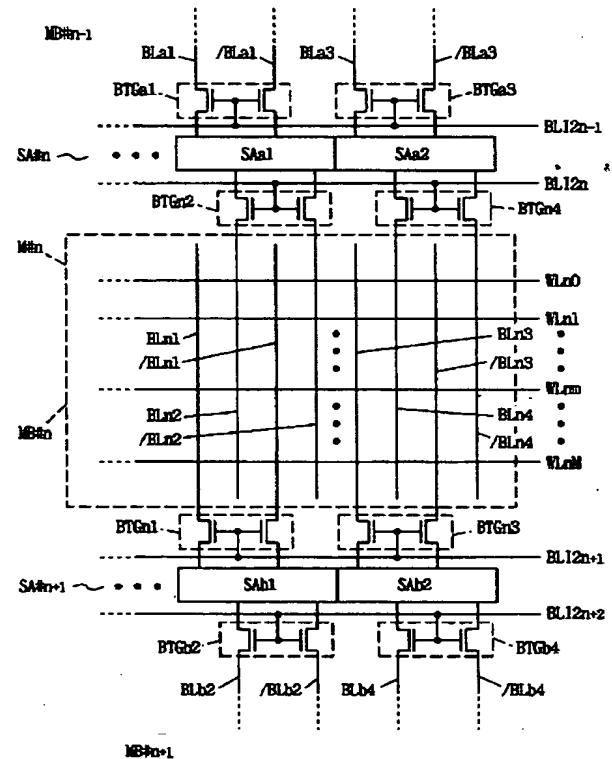
【図7】



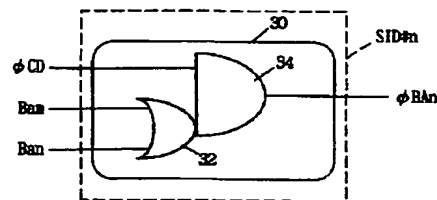
【図2】



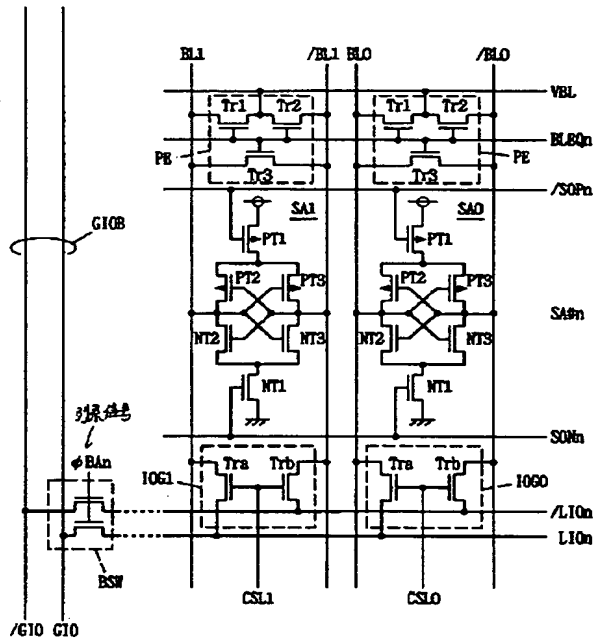
【図4】



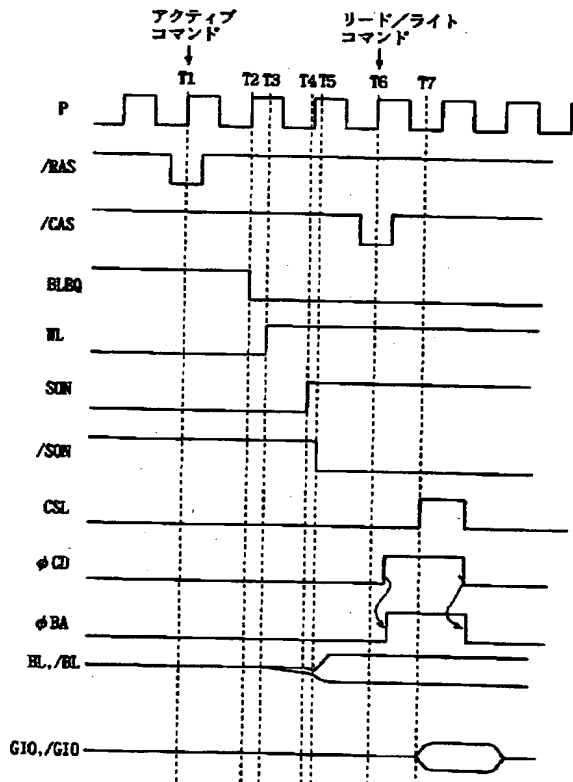
【図6】



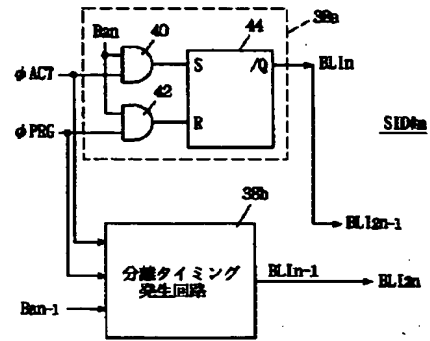
【図5】



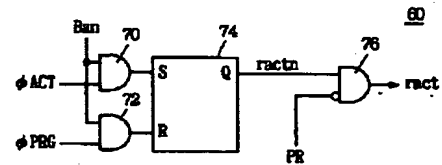
【図9】



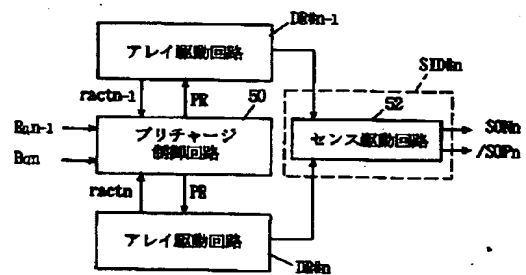
【図8】



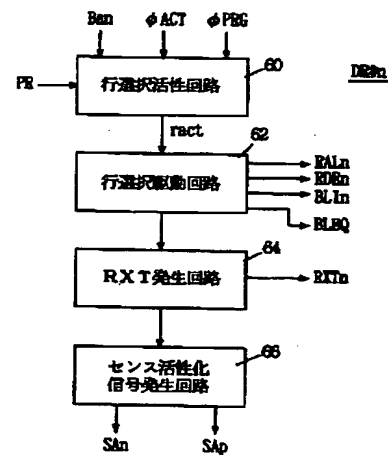
【図12】



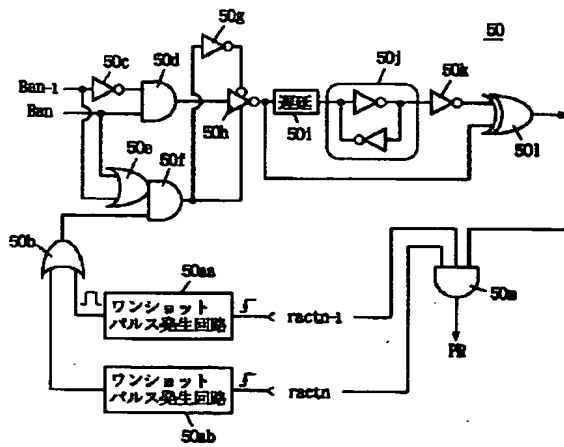
【図10】



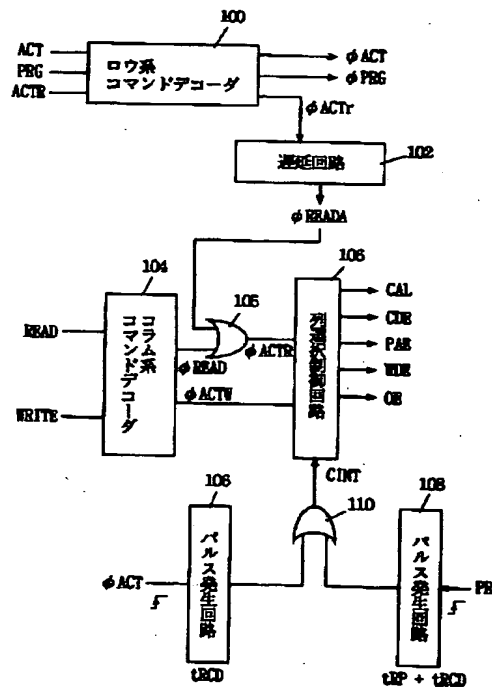
【図11】



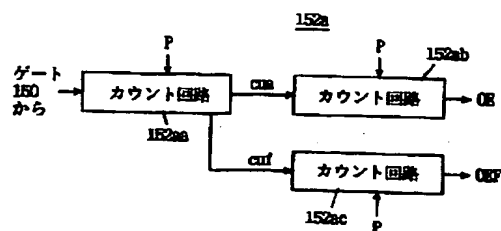
【図13】



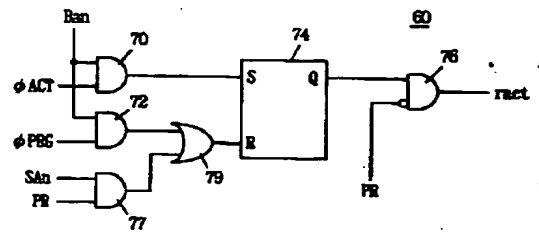
【図17】



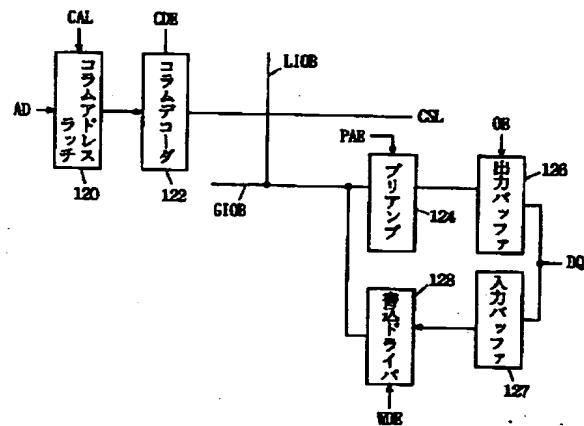
【図25】



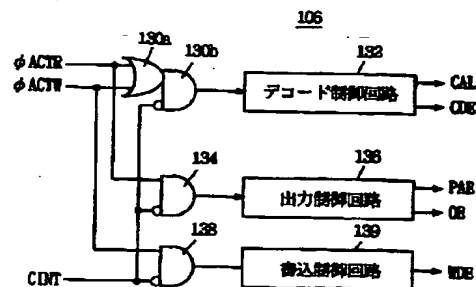
【図15】



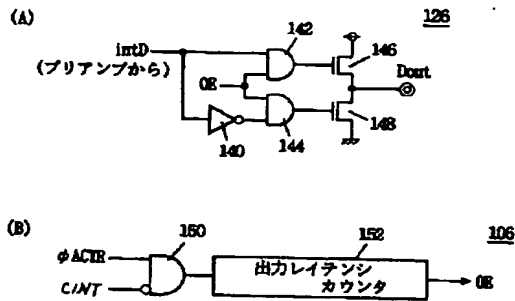
【図18】



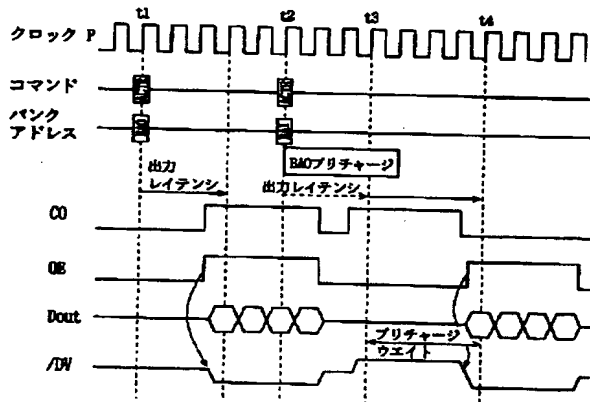
【図19】



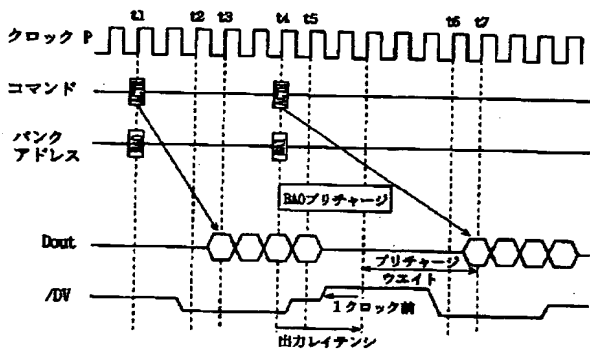
【図20】



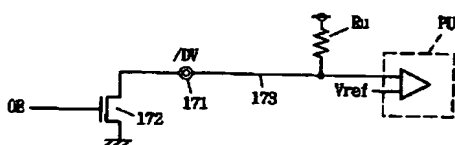
【図22】



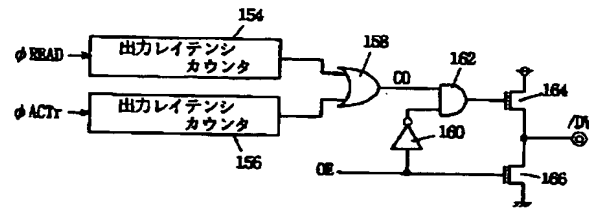
【図24】



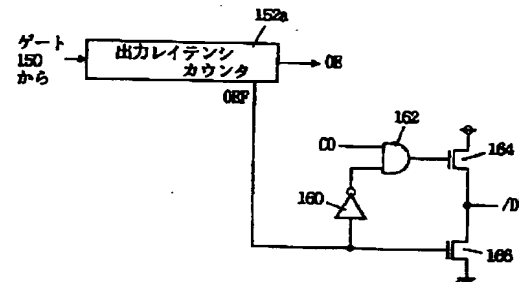
【図29】



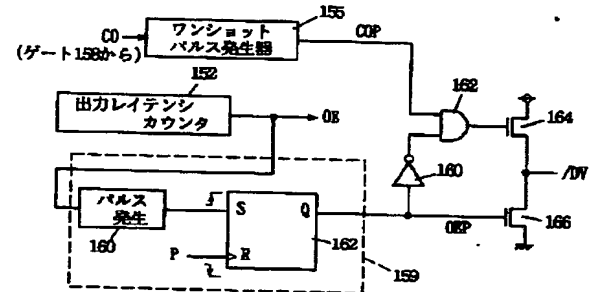
【図21】



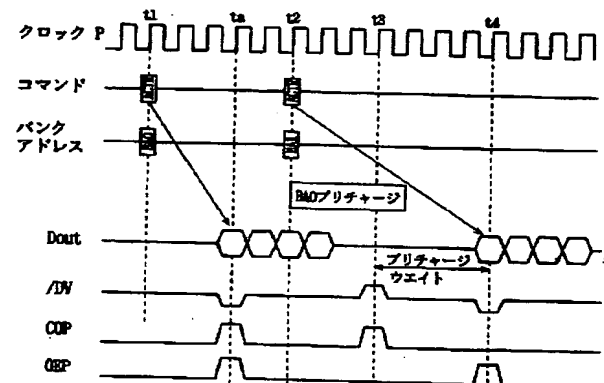
【図23】



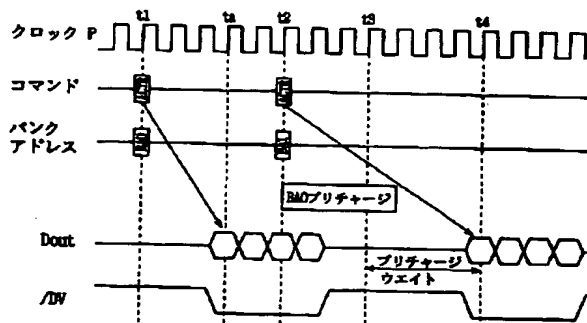
【図26】



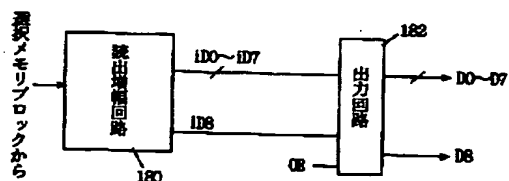
【図27】



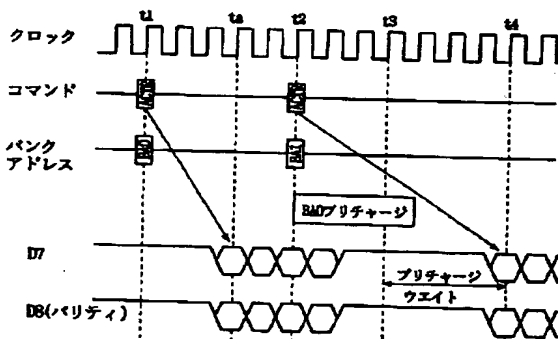
【図28】



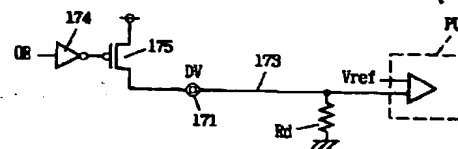
【図31】



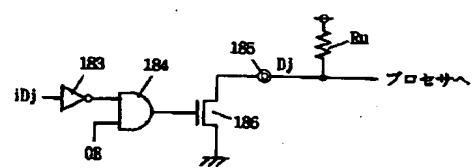
【図33】



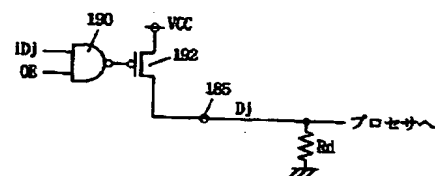
【図30】



【図32】



【図34】



**THIS PAGE BLANK (USPTO)**